

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

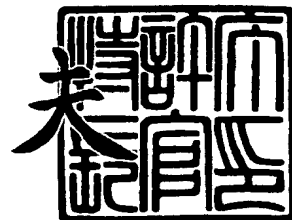
出 願 番 号 特 願 2 0 0 3 - 0 7 7 2 8 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 7 2 8 3]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 8 1 8

【書類名】 特許願

【整理番号】 03J00286

【提出日】 平成15年 3月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00
H01L 21/84
H01L 21/265
H01L 27/12
H01L 29/786

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 ▲高▼藤 裕

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 糸賀 隆志

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶Si薄膜とを含む単結晶Si薄膜積層基板が、絶縁基板と、前記BOX層に対して前記単結晶Si薄膜側となる表面で接合された後に、前記単結晶Si薄膜積層基板の一部が前記水素イオン注入部で分離され、前記分離後に前記絶縁基板上に残った前記単結晶Si薄膜積層基板から前記BOX層が除去されてなることを特徴とする半導体装置。

【請求項 2】

多孔質Si層と、前記多孔質Si層上に形成された単結晶Si薄膜とを含む単結晶Si薄膜積層基板が、絶縁基板に、前記単結晶Si薄膜積層基板の前記多孔質Si層に対して前記単結晶Si薄膜側となる表面で接合された後に、前記単結晶Si薄膜積層基板の一部が前記多孔質Si層で分離され、前記分離後に前記絶縁基板上に残った前記単結晶Si薄膜積層基板から前記多孔質Si層が除去されてなることを特徴とする半導体装置。

【請求項 3】

前記絶縁基板上の異なる領域に、単結晶Si薄膜と非単結晶Si薄膜とが形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記単結晶Si薄膜の膜厚が概 70 nm 以下であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記単結晶Si薄膜の膜厚が概 20 nm 以下であることを特徴とする請求項 3 または 4 に記載の半導体装置。

【請求項 6】

前記非単結晶Si薄膜が、多結晶Siからなることを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】

前記非単結晶 Si 薄膜が、連続結晶粒界 Si からなることを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置。

【請求項 8】

前記非単結晶 Si 薄膜が、非晶質 Si からなることを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置。

【請求項 9】

前記非晶質 Si 薄膜を用い、ゲート絶縁膜が窒化珪素を含む単層または複層の絶縁膜によって形成されたトランジスタが形成されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記単結晶 Si 薄膜を用いたトランジスタが、前記絶縁基板側からゲート電極、ゲート絶縁膜、前記単結晶 Si 薄膜の順序となるように形成されていることを特徴とする請求項 3 ないし 9 のいずれかに記載の半導体装置。

【請求項 11】

前記トランジスタの少なくとも一部は、前記単結晶 Si 薄膜のさらに上に層間絶縁膜と金属配線層とを有していることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記単結晶 Si 薄膜を用いたトランジスタが、前記絶縁基板側から、層間絶縁膜、金属配線層、層間絶縁膜、ゲート電極、ゲート絶縁膜、単結晶 Si 薄膜の順序で形成されており、前記トランジスタの少なくとも一部は、さらにその上に層間絶縁膜と金属配線層とを有している事を特徴とする、請求項 3 ないし 9 のいずれかに記載の半導体装置。

【請求項 13】

前記絶縁基板が、アルカリ土類－アルミノ硼珪酸ガラスからなる高歪点ガラスであることを特徴とする請求項 1 ないし 12 のいずれかに記載の半導体装置

【請求項 14】

前記絶縁基板がバリウム－硼珪酸ガラス、バリウム－アルミノ硼珪酸ガラス、

アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－鉛－アルミノ硼珪酸ガラスのうちのいずれかで形成されていることを特徴とする、請求項 1 ないし 12 のいずれかに記載の半導体装置。

【請求項 15】

前記絶縁基板と前記単結晶 Si 薄膜積層基板との線膨張の差が、略室温から 600℃までの温度範囲において、概 250 ppm 以下であることを特徴とする、請求項 1 ないし 14 のいずれかに記載の半導体装置。

【請求項 16】

前記絶縁基板が、歪み点 500℃以上の高歪み点ガラスからなることを特徴とする、請求項 1 ないし 15 のいずれかに記載の半導体装置。

【請求項 17】

前記絶縁基板上の概全面に、前記単結晶 Si 薄膜が形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 18】

前記単結晶 Si 薄膜の膜厚が略 70 nm 以下であることを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】

前記単結晶 Si 薄膜の膜厚が略 20 nm 以下であることを特徴とする請求項 17 または 18 に記載の半導体装置。

【請求項 20】

前記絶縁基板が、アルカリ土類－アルミノ硼珪酸ガラスからなることを特徴とする、請求項 17 ないし 19 のいずれかに記載の半導体装置。

【請求項 21】

前記絶縁基板がバリウム－硼珪酸ガラス、バリウム－アルミノ硼珪酸ガラス、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－鉛－アルミノ硼珪酸ガラスのうちのいずれかで形成されていることを特徴とする請求項 17 ないし 19 のいずれかに記載の半導体装置。

【請求項 22】

前記絶縁基板と前記単結晶 Si 薄膜積層基板との線膨張の差が、略室温から 600℃までの温度範囲において、概 250 ppm 以下であることを特徴とする、請求項 17 ないし 21 のいずれかに記載の半導体装置。

【請求項 23】

前記絶縁基板が、歪み点 500℃以上の高歪み点ガラスからなることを特徴とする、請求項 17 ないし 22 のいずれかに記載の半導体装置。

【請求項 24】

BOX 層と、前記 BOX 層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記 BOX 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板を、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記 BOX 層に対して前記単結晶 Si 薄膜側となる表面で接合した後に、前記単結晶 Si 薄膜積層基板の一部を前記水素イオン注入部で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記 BOX 層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 25】

多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板を、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記多孔質 Si 層に対して前記単結晶 Si 薄膜側となる表面で接合した後に、前記単結晶 Si 薄膜積層基板の一部を前記多孔質 Si 層で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記多孔質 Si 層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 26】

前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程において、周囲環境を真空とすることを特徴とする、請求項 24 または 25 に記載の半導体装置の製造方法。

【請求項 27】

前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程の後に、熱処理を行うことを特徴とする、請求項 24 ないし 26 のいずれかに記載の半導体装置

の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI技術に関するものであり、特にガラス基板等の安価な汎用絶縁基板上に高性能集積回路や、TFTで駆動するアクティブマトリクス駆動液晶表示装置等に利用される半導体装置に関するものである。

【0002】

【従来の技術】

従来より、ガラス基板上に非晶質シリコン（非晶質Si；a-Si）や多結晶Si（p-Si）による薄膜トランジスタ（TFT；Thin Film Transistor）を形成し、液晶表示パネルや有機ELパネル等の駆動を行う、いわゆるアクティブマトリクス駆動装置が使用されている。また、周辺ドライバ、あるいはさらに高い性能が要求されるメモリ、マイクロプロセッサ、イメージプロセッサ、タイミングコントローラ等のシステムを集積化するため、より高性能なSiデバイスを形成することが研究されている。

【0003】

近年、特に、移動度が高く高速で動作する多結晶Siを用いて、周辺ドライバを集積化したものが用いられている。しかし、多結晶Siには結晶性の不完全性に起因するギャップ内の局在準位や、結晶粒界付近の欠陥やギャップ内局在準位が存在するため、移動度低下やS係数（サブスレショルド係数）増大等の問題がある。このため、周辺ドライバ、あるいはさらに高い性能が要求されるメモリ、マイクロプロセッサ、イメージプロセッサ、タイミングコントローラ等のシステム集積化に必要な高性能デバイスを構成するには、多結晶Siによるトランジスタでは性能が不十分であった。

【0004】

そこで、アクティブマトリクス駆動装置において、さらに高性能なデバイスを形成するため、単結晶Si薄膜からなる薄膜トランジスタ等のデバイスを予め形成しておき、これを絶縁基板上に接着することにより半導体装置を形成する技術

が研究されてきている（例えば、特許文献 1、非特許文献 1、2 参照）。

【0005】

特許文献 1 には、予め作成した単結晶 Si 薄膜トランジスタを、接着剤を用いてガラス基板上に転写することにより形成した半導体装置を、アクティブマトリクス型液晶表示装置の表示パネルのディスプレイに適用した例が開示されている。

【0006】

また、SOI ウェハの製造方法として、多孔質 Si 上にエピタキシャル Si 層を成長させ、これをハンドルウェハに接合し、多孔質 Si 層から分離する方法が例えば、特許文献 4 に開示されている。

【0007】

一方、集積回路の分野では、バルク Si デバイスをさらに高速化・低消費電力化するため、酸化膜で薄い単結晶 Si 層を分離した SOI (Silicon on Insulator) 技術が開発されてきた。SOI ウェハの形成法の一つに、酸化膜を形成した Si や石英のハンドルウェハに単結晶 Si を接合し、それを薄膜化して SOI を形成する技術が開示されている（例えば、特許文献 2 参照）。さらに、これらのデバイスでもバルク Si デバイスと同様に高性能化並びに高集積密度化のためトランジスタサイズ縮小技術が開発されている（例えば、非特許文献 5 参照）。

【0008】

【特許文献 1】

特表平 7-503557（公表日 1995 年 4 月 13 日）

【0009】

【特許文献 2】

特開平 5-211128（公開日 1993 年 8 月 20 日）

【0010】

【特許文献 3】

特開平 8-262474（公開日 1996 年 10 月 11 日）

【0011】

【特許文献 4】

特開平 7 - 2 3 5 6 5 1 (公開日 1 9 9 5 年 9 月 5 日)

【 0 0 1 2 】

【非特許文献 1】

J.P.Salerno " Single Crystal Silicon AMLCDs" ,Conference Record of the 1994 International Display Research Conference(IDRC) p.39-44(1994)

【 0 0 1 3 】

【非特許文献 2】

Q.-Y.Tong & U.Gesele, SEMICONDUCTOR WAFER BONDING : SCIENCE AND TECHNOLOGY, John Wiley & Sons, New York (1999)

【 0 0 1 4 】

【非特許文献 3】

K.Warner, et.al., 2002 IEEE International SOI Conference : Oct, pp.123-125 (2002)

【 0 0 1 5 】

【非特許文献 4】

L.P.Allen, et.al., 2002 IEEE International SOI Conference : Oct, pp.192-193 (2002)

【 0 0 1 6 】

【非特許文献 5】

T.Matsumoto, et.al., International Electron Devices Meeting : Dec, pp.219-222 (2001)

【 0 0 1 7 】

【非特許文献 6】

A.Vandooren, et, al., 2002 IEEE international SOI Conference Proceedings

【 0 0 1 8 】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置およびその製造方法では、単結晶 Si 薄膜で形成した高性能デバイスを、接着剤でガラス基板上に貼り合わせるため、耐熱性に問題がある。そのため、接着剤による接着後に高品質の無機絶縁膜や TFT 等を形成する作業が行えないなど、製造プロセスあるいはデバイス構造に制約がある。

【0019】

そこで、結晶化ガラス基板に水素イオンを注入した Si 基板を接合して Si 薄膜を得る方法が、例えば、特許文献 3 に開示されている。しかし、この方法では、基板がアルカリ原子を含む結晶化ガラスであり、高価で加工性が劣る等の問題点がある。また、ガラス基板サイズが Si ウエハのサイズである 8 インチあるいは 12 インチの径のウエハに限られる。このため、液晶で使われる大型のガラス基板サイズ(最低でも 300 mm×400 mm)には適用出来ない。したがって、特許文献 3 の方法を表示デバイスに適用するには、サイズ・コストの点で大きな問題がある。

【0020】

一方、OLED (Organic Light Emitting Diode) や液晶表示装置に用いられるアクティブマトリクス基板では、高性能化と高集積化が求められる部分(例えば、MPU 等)では、最先端の微細加工が必須である。しかしながら、生産性の観点から大型ガラス基板に多結晶 Si を形成したものが主に用いられており、高性能化と高集積化を図るために必須である微細加工が十分に行えない。すなわち、大型ガラス基板では、基板のうねり、厚みムラ、伸縮(縮み)、露光面積の観点から縮小投影露光の縮小率を大きくすることが困難である、等の問題がある。さらに、多結晶 Si を用いる場合には、結晶粒界のトランジスタチャネル部へのかかり方の差異(バラツキ)が大きくなる等、デバイス特性面からも微細加工の限界がある。

したがって、大型ガラス基板に多結晶 Si を形成する構成では、特に MPU 等の高性能・高集積密度を要求されるデバイスを実現する事は極めて困難である。

【0021】

また、集積回路分野の SOI デバイスにおいても、バルク Si デバイスと同様

に、特にMPU等の高性能化並びに高集積密度化が要求される部分では、最先端の微細加工が必須である。さらに、集積密度の向上、消費電力の低減（駆動電圧の低減）、動作速度の向上を図るためには、トランジスタの微細化が必要である。そして、トランジスタの微細化を図るためには、微細化に伴って顕著になる短チャネル効果であるDIBL（Drain induced Barrier Lowering）による閾値電圧低下、あるいは量子効果によるS値（サブスレショルド係数）の増加に対する対策が必須となる。

【0022】

なお、短チャネル効果を抑制するためには、Si膜厚の低減が必須であるとされている。例えば、非特許文献6によると、ゲート長が0.1ミクロン以下のSOI構造によるMOSトランジスタでは、約15～20nm以下にすることが望まれている。

【0023】

また、トランジスタの特性を向上させるためには、単結晶Si薄膜の膜厚を低減させると同時に、Si薄膜の膜厚均一性を維持しつつ、表面の損傷層を除去する必要がある。すなわち、Si薄膜の膜厚不均一化によるトランジスタ特性のバラツキを招くことなく、ダングリングボンド、結晶欠陥などの電気特性上有害な損傷層を除去する必要がある。

【0024】

しかしながら、単結晶Si薄膜が絶縁膜（SiO₂膜等）の表面の一部にしか形成されていない場合、CMP等の手段は使えない。このため、絶縁基板上の一部に単結晶Si薄膜デバイスを形成する構成において、膜厚の均一性を維持しつつ、Si薄膜表面の損傷層を除去することは極めて困難であった。

【0025】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、単結晶Si薄膜デバイスを絶縁基板に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶Si薄膜を具備する半導体装置およびその製造方法を提供することにある。

【0026】

【課題を解決するための手段】

本発明に係る半導体装置は、上記課題を解決するために、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶Si薄膜とを含む単結晶Si薄膜積層基板が、絶縁基板に、前記単結晶Si薄膜積層基板の前記BOX層に対して前記単結晶Si薄膜側となる表面で接合された後に、前記単結晶Si薄膜積層基板の一部が前記水素イオン注入部で分離され、前記分離後に前記絶縁基板上に残った前記単結晶Si薄膜積層基板から前記BOX層が除去されてなることを特徴としている。

【0027】

また、本発明に係る半導体装置の製造方法は、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶Si薄膜とを含む単結晶Si薄膜積層基板を、絶縁基板に、前記単結晶Si薄膜積層基板の前記BOX層に対して前記単結晶Si薄膜側となる表面で接合した後に、前記単結晶Si薄膜積層基板の一部を前記水素イオン注入部で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶Si薄膜積層基板から前記BOX層を除去する工程とを含むことを特徴としている。

【0028】

上記の半導体装置およびその製造方法の構成によれば、前記絶縁基板と前記単結晶Si薄膜積層基板とを、密着させることにより、接着剤を使用することなく容易に貼り付けることができる。

【0029】

また、上記単結晶Si薄膜積層基板は、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶Si薄膜とが、絶縁基板に接合される前に形成されるため、単結晶Si薄膜の薄膜化が容易である。

【0030】

さらに、絶縁基板と単結晶Si薄膜積層基板とを貼り付けた後に、前記単結晶Si薄膜積層基板のBOX層内に形成された水素イオン注入部で分離させることにより、分離表面のダングリングボンド、結晶欠陥などの損傷層はBOX層内に

限定される。

【0031】

このため、前記分離後に、前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板の一部から、分離表面に残った BOX 層を除去することにより、絶縁基板上に、膜厚均一性を損なうことなく、表面欠陥を除去した単結晶 Si 薄膜を形成することができる。これにより、例えば MOS 型の SOI トランジスタの閾値電圧のばらつきを抑制することができる。

【0032】

したがって、上記の構成により、単結晶 Si 薄膜デバイスを、絶縁基板上に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜を形成することができる。

【0033】

ここで、単結晶 Si 薄膜デバイスとは、単結晶 Si 薄膜によって形成される MOS トランジスタ、バイポーラトランジスタ、SIT、ダイオード等の装置である。

【0034】

また、本発明に半導体装置は、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板が、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記多孔質 Si 層に対して前記単結晶 Si 薄膜側となる表面で接合された後に、前記単結晶 Si 薄膜積層基板の一部が前記多孔質 Si 層で分離され、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記多孔質 Si 層が除去されてなることを特徴としている。

【0035】

また、本発明に係る半導体装置の製造方法は、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層を、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記多孔質 Si 層に対して前記単結晶 Si 薄膜側となる表面で接合した後に、前記単結晶 Si 薄膜積層基板の一部を前記多孔質 Si 層で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記多孔質 Si 層を除去する工程とを含むことを特徴としてい

る。

【0036】

上記の半導体装置およびその製造方法の構成によれば、前記絶縁基板と前記単結晶 Si 薄膜積層基板とを、密着させることにより、接着剤を使用することなく容易に貼り付けることができる。

【0037】

また、上記単結晶 Si 薄膜積層基板は、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とが、絶縁基板に接合される前に形成されるため、単結晶 Si 薄膜の薄膜化が容易である。

【0038】

さらに、絶縁基板と単結晶 Si 薄膜積層基板とを貼り付けた後に、前記単結晶 Si 薄膜積層基板の多孔質 Si 層で分離させることにより、分離表面のダングリングボンド、結晶欠陥などの損傷層は多孔質 Si 層内に限定される。

【0039】

このため、前記分離後に、前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板の一部から、分離表面に残った多孔質 Si 層を除去することにより、絶縁基板上に、膜厚均一性を損なうことなく、表面欠陥を除去した単結晶 Si 薄膜を形成することができる。

【0040】

したがって、上記の構成により、単結晶 Si 薄膜デバイスを、絶縁基板上に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜を形成することができる。

【0041】

また、上記の構成によれば、単結晶 Si 薄膜の結晶中の欠陥密度が非常に小さい。

【0042】

このため、前記多孔質 Si 層を用いる方法により形成した単結晶 Si 薄膜トランジスタは、前記水素イオン注入部を有する前記単結晶 Si 薄膜積層基板を用いる方法により形成した単結晶 Si 薄膜トランジスタよりも、高い移動度を得るこ

とができる。

【0043】

また、本発明の半導体装置の製造方法は、前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程において、周囲環境を真空とすることが望ましい。これにより、接合欠陥を低減することができる。

【0044】

また、本発明の半導体装置の製造方法は、前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程の後に、熱処理を行うことが望ましい。

【0045】

これにより、単結晶 Si 薄膜積層基板と、前記絶縁基板との接合強度を向上させることができる。

【0046】

また、本発明の半導体装置は、前記絶縁基板上の異なる領域に、単結晶 Si 薄膜と非単結晶 Si 薄膜とを形成することを特徴としている。

【0047】

すなわち、前記単結晶 Si 薄膜積層基板が前記絶縁基板に接合され、前記水素イオン注入部または前記多孔質 Si 層で分離されることにより、前記絶縁基板上の一部に単結晶 Si 薄膜を形成し、前記絶縁基板上の前記単結晶 Si 薄膜が形成された領域とは異なる領域に前記非単結晶 Si 薄膜を形成する。

【0048】

これにより、絶縁基板上に、必要とする特性に合わせて領域ごとに異なる特性のデバイスを形成することができる。

【0049】

また、本発明の半導体装置は、前記絶縁基板上の概全面に、前記単結晶 Si 薄膜を形成することも可能である。

【0050】

すなわち、前記単結晶 Si 薄膜積層基板を前記絶縁基板に接合し、前記水素イオン注入部または前記多孔質 Si 層で分離することにより、前記絶縁基板上の概全面に単結晶 Si 薄膜を形成する。

【0051】

これにより、絶縁基板上の概全面に、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜デバイスを形成することができる。

【0052】

また、本発明の製造方法は、前記単結晶 Si 薄膜積層基板を前記絶縁基板に接合し、前記水素イオン注入部または前記多孔質 Si 層で分離することにより、前記絶縁基板上に膜厚概 70 nm 以下、さらに好ましくは 20 nm 以下の単結晶 Si 薄膜を形成することを特徴としている。

【0053】

これにより、トランジスタの微細化に伴って顕著になる、短チャネル効果を抑制することができる。

【0054】

また、本発明の半導体装置は、前記非単結晶 Si 薄膜を、多結晶 Si、または連続結晶粒界 Si、または非結晶 Si で形成することができる。

【0055】

一般に、前記多結晶 Si、連続結晶粒界 Si、非結晶 Si からなる非単結晶 Si 薄膜デバイスは、それぞれ互いに異なる特性を有している。例えば、前記連続結晶粒界 Si からなる電界効果トランジスタは、前記多結晶 Si からなる電界効果トランジスタよりも移動度が高い。

【0056】

これにより、例えば、移動度を高くしたい非単結晶 Si 領域には前記連続結晶粒界 Si からなる電界効果トランジスタを用いるなど、必要とする特性に合わせて、領域ごとに異なる特性の非単結晶 Si 薄膜デバイスを形成することができる。

【0057】

また、本発明の半導体装置は、前記非晶質 Si 薄膜を用い、ゲート絶縁膜が窒化珪素を含む単層または複層の絶縁膜によって形成されたトランジスタを形成することができる。

【0058】

これにより、ゲート絶縁膜に SiO_2 を用いた場合に対して、約 2 倍の誘電率を得ることができる。したがって、低い電圧で大きな電界効果を得ることができ、トランジスタの動作電圧を低くすることができる。また、非晶質 Si-TFT では、ゲート絶縁膜に SiO_2 を用いると特性が低下するが、ゲート絶縁膜に窒化珪素を用いることにより特性低下を抑制できる。

【0059】

また、本発明の半導体装置は、前記単結晶 Si 薄膜を用いたトランジスタを、前記絶縁基板側からゲート電極、ゲート絶縁膜、前記単結晶 Si 薄膜の順序となるように形成することができる。

【0060】

これにより、ガラス基板表面の固定電荷によるバックゲート効果がゲート電極でシールドされ閾値バラツキが低減でき、また前記単結晶 Si 薄膜に金属配線を接続する工程が容易となり、生産性を向上させることができる。

【0061】

さらに、本発明の半導体装置は、前記トランジスタの少なくとも一部は、前記単結晶 Si 薄膜のさらに上に層間絶縁膜と金属配線層とを有する構成とすることができる。

【0062】

これにより、必要とする特性に合わせて、多様な単結晶 Si 薄膜デバイスを形成することが可能である。

【0063】

また、本発明の半導体装置は、前記単結晶 Si 薄膜を用いたトランジスタが、前記絶縁基板側から、層間絶縁膜、金属配線層、層間絶縁膜、ゲート電極、ゲート絶縁膜、単結晶 Si 薄膜の順序で形成されており、前記トランジスタの少なくとも一部は、さらにその上に層間絶縁膜と金属配線層とを有する構成とすることができる。

【0064】

これにより、必要とする特性に合わせて、さらに多様な単結晶 Si 薄膜デバイスを形成することができる。

【0065】

また、本発明の半導体装置は、前記絶縁基板と前記単結晶 Si 薄膜積層基板との線膨張の差が、略室温から略 600℃の温度範囲において、略 250 ppm 以下であることが望ましい。

【0066】

これにより、線膨張の差に起因して前記絶縁基板と前記単結晶 Si 薄膜積層基板とに生じるせん断力が小さくなる。

【0067】

したがって、例えば、劈開分離に伴う熱処理においても、基板の割れや反り等の発生を抑制でき、劈開分離の成功率を向上させることができる。また、前記絶縁基板と前記単結晶 Si 薄膜積層基板との接合力向上や、前記絶縁基板または前記単結晶 Si 薄膜積層基板への酸化膜形成などのために熱処理を行う場合でも、線膨張の違いに起因する基板の割れや反り等を防止することができる。

【0068】

また、本発明の半導体装置は、前記絶縁基板が歪み点 500℃以上の高歪み点ガラスからなることが望ましい。

【0069】

これにより、製造工程における熱処理が可能であり、生産性を向上させることができる。また、熱処理により前記絶縁基板と前記単結晶 Si 薄膜積層基板との接合力を高めることも可能である。

【0070】

なお、本発明の半導体装置は、前記絶縁基板がアルカリ土類－アルミノ硼珪酸ガラスからなることが好適である。

【0071】

また、本発明の半導体装置は、前記絶縁基板がバリウム－硼珪酸ガラス、バリウム－アルミノ硼珪酸ガラス、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－鉛－アルミノ硼珪酸ガラスのうち、いずれかのガラスからなることができる。

【0072】

このため、絶縁基板の材料として、コスト、加工性等を考慮して幅広い選択をすることができる。

【0073】

【発明の実施の形態】

〔実施形態1〕

本発明の半導体装置およびその製造方法の一実施形態について図1(a)～(h)、図6、図7および図8を用いて説明すれば以下の通りである。

【0074】

本実施形態の半導体装置101は、多結晶Si薄膜トランジスタ（非単結晶Si薄膜トランジスタ；非単結晶Si薄膜デバイス）120と、MOS（Metal Oxide Semiconductor）型の単結晶Si薄膜トランジスタ（単結晶Si薄膜デバイス）130とを、絶縁基板上の異なる領域に集積化した半導体装置である。また、半導体装置101は、図7に示すように、表示部720を有するアクティブマトリクス基板700に駆動回路710として集積化することができる。

【0075】

半導体装置101は、図8に示すように、絶縁基板110上に、SiO₂（酸化Si）膜（酸化膜）111、多結晶Si薄膜122を含むMOS型の多結晶Si薄膜トランジスタ120、単結晶Si薄膜135を含むMOS型の単結晶Si薄膜トランジスタ130、金属配線140を備えている。ここで、SiO₂膜111は、絶縁基板110の表面全体に、膜厚約100nmで形成されている。

【0076】

また、多結晶Si薄膜122を含むMOS型の多結晶Si薄膜トランジスタ120は、SiO₂膜111上に形成された層間絶縁膜（SiO₂膜）121上に形成されている。すなわち、層間絶縁膜121上に多結晶Si薄膜122、ゲート絶縁膜（ゲート酸化膜、SiO₂膜）123、ゲート電極124の順序で構成されている。ここで、多結晶Si薄膜122は、層間絶縁膜121上に膜厚50nmの島状パターンで形成されている。また、ゲート絶縁膜123は、多結晶Si薄膜122上の全面にわたって膜厚約60nmで形成されている。

【0077】

一方、単結晶 Si 薄膜 135 を含む MOS 型の単結晶 Si 薄膜トランジスタ 130 は、SiO₂ 膜 111 上の多結晶 Si 薄膜トランジスタ 120 が形成された領域とは異なる領域に形成されている。すなわち、SiO₂ 膜 111 上に、膜厚約 10 nm の SiO₂ 膜 131、平坦化膜 (BPSG; リンホウ素シリケートガラス) 132、ゲート電極 133、膜厚約 15 nm のゲート絶縁膜 134、島状パターンに形成された膜厚約 20 nm の単結晶 Si 薄膜 135 の順序で構成されている。

【0078】

また、多結晶 Si 薄膜トランジスタ 120 および単結晶 Si 薄膜トランジスタ 130 の上には、絶縁基板 110 の上方全面にわたって、層間絶縁膜 (SiO₂ 膜) 126 が形成されている。ただし、層間絶縁膜 126 は開口部 (コンタクトホール 127) を有しており、このコンタクトホール 127 には AlSi 等の金属からなる金属配線 140 が形成されている。金属配線 140 は、多結晶 Si 薄膜 122 および単結晶 Si 薄膜 135 における各島状の領域の上面から形成されている。

【0079】

ここで、半導体装置 101 の製造方法について、図 1 (a) ~ (h) を用いて説明する。

【0080】

まず、図 1 (a) に示すように、絶縁基板 110 の表面全体に TEOS (Tetra Ethyl ortho silicate; Si (OC₂H₅)₄) と O₂ との混合ガスを用いて、プラズマ CVD (Plasma Chemical Vapor Deposition; プラズマ化学気相成長) によって、膜厚約 50 nm の SiO₂ 膜 111 を堆積する。ここで、SiO₂ 膜 111 を形成するのは、後述する絶縁基板 110 と SOI 基板 150 とを接合を容易にするためである。

【0081】

なお、絶縁基板 110 には、高歪点ガラスであるコーニング社の Code 1737 (アルカリ土類-アルミノ硼珪酸ガラス) を用いている。

【0082】

次に、図1(b)に示すように、単結晶Si薄膜トランジスタ130を別途作り込んだSOI基板(単結晶Si薄膜積層基板)150を形成し、絶縁基板110上に接合する。

【0083】

ここで、SOI基板150の製造方法を説明する(図1(b)参照)。まず、一般的なIC製造ラインでBOX層152上にCMOS工程の一部、すなわちソース・ドレイン不純物イオン(BF_3^+ 、 P^+)注入およびP型とN型のチャネル部分にチャネル注入を行った単結晶Si薄膜135、ゲート絶縁膜134、ゲート電極133、保護絶縁膜(図示せず)、平坦化膜(層間平坦化膜)132を形成する。なお、平坦化膜132は、CVDによって SiO_2 およびBPSGを堆積した後、BPSGを溶融し、あるいは更にCVD等で SiO_2 を堆積した後、あるいはTEOS等を用いたCVDまたはプラズマCVD等で SiO_2 を堆積後、概その膜厚部分を基板の凸部(ゲートパターンのない部分)を残してRIEでエッチング除去し、さらにTEOS等を用いたCVDまたはプラズマCVD等で SiO_2 を堆積し、CMPで平坦化することによって形成したものを所定の大きさに切断し、これをSC1洗浄液で洗浄し、パーティクル除去および表面の活性化を行い、室温下でアライメントマークにより位置合わせして接合した。その後、単結晶Si薄膜135上に膜厚約10nmの SiO_2 膜131を形成する。ここで、 SiO_2 膜131を形成するのは、絶縁基板111とSOI基板150との接合を容易にするためである。

【0084】

その後、BOX層452に、 $5 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを、分布のピーク位置がBOX層452内になるようにエネルギーを調節して注入し、水素イオン注入部451を形成する。

以上によって、SOI基板150が形成される。

【0085】

なお、半導体装置101におけるゲート電極133のゲート長は $0.25 \mu\text{m}$ とした。

【0086】

また、ゲート電極 133 の材料は、ヘビードープの多結晶 Si 膜と W シリサイドを用いているが、材料は多結晶 Si 単独であっても、また他の高融点金属やシリサイドであってもよく、必要な抵抗や耐熱性を考慮して選択される。

【0087】

次に、上記で形成された SOI 基板 150 を、絶縁基板 110 上の接合領域に適合した所定のサイズに切断する。

【0088】

そして、絶縁基板 110 および切断した SOI 基板 150 の両基板を RCA 洗浄 (SC1) により洗浄および活性化する。さらに、SOI 基板 150 の SiO₂ 膜 131 側の表面を、絶縁基板 110 上の所定の位置にアライメントし、室温で密着させて接合する。なお、この工程において、ガラス基板 (絶縁基板 110) 側から SOI 基板 150 の位置合わせマークを検知し、ガラス基板表面に形成した位置合わせマークと位置合わせを行った。これにより、Si 基板どうしの接合の場合よりも遙かに高精度で位置合わせでき、例えばここでは $\pm 1 \mu\text{m}$ の精度で位置合わせ可能であった。

【0089】

その後、図 1 (c) に示すように、絶縁基板 110 上に接合された SOI 基板 150 のうち、不要部分 153 を、水素イオン注入部 151 に熱処理を行うことにより、水素イオン注入部 151 を境に劈開剥離する。すなわち、SOI 基板 150 の水素イオン注入部 151 の温度を Si から水素が離脱する温度以上に昇温することにより、水素イオン注入部 151 を境に劈開剥離させる。なお、水素イオン注入部 151 の温度を Si から水素が離脱する温度以上に昇温するためには $400^{\circ}\text{C} \sim 600^{\circ}\text{C}$ の温度が必要であり、ここでは約 550°C の温度熱処理する。

【0090】

続いて、剥離されて絶縁基板 110 上に残った単結晶 Si 薄膜 135 と BOX 層の不要部分 (BOX 層 152a) とを希フッ酸でウェットエッチングして表面の欠陥を除去する (図 1 (c) 参照)。そして、単結晶 Si 薄膜 135 を島状に加工することにより、図 1 (e) に示すように、絶縁基板 110 上に、ここでは

膜厚約 20 nm の単結晶 Si 薄膜 135 による MOS 型 TFT の一部が形成される。

【0091】

その後、図 1 (e) に示すように、絶縁基板 110 の上方全面に SiH₄ と N₂O との混合ガスを用いたプラズマ CVD によって、膜厚約 100 nm の SiO₂ 膜 121 を堆積する。さらに、その全面に SiH₄ ガスを用いてプラズマ CVD により、膜厚約 50 nm の非晶質 Si 膜 122 a を堆積する。

【0092】

さらに、非晶質 Si 膜 122 a にエキシマレーザを照射して、加熱、結晶化し、多結晶 Si 層を成長させて多結晶 Si 薄膜 122 を形成するとともに、単結晶 Si 薄膜 135 上の SiO₂ 膜 131 と絶縁基板 110 上の SiO₂ 膜 111 との接合強度向上を図る (図 1 (f) 参照)。なお、多結晶 Si をレーザ (laser) で成長する場合、エネルギーが高すぎると単結晶部のジャンクションが破壊される等の問題が生じるため、レーザの出力を精度よく制御するか、あるいは単結晶部へのレーザ照射を避ける等の必要がある。

【0093】

次に、図 1 (g) に示すように、デバイスの活性領域となる部分を残すために、多結晶 Si 薄膜 122 の不要部分および SiO₂ 膜 121 の少なくとも単結晶 Si 薄膜 135 上の部分をエッチングにより除去する。また、多結晶 Si 薄膜 122 の不要部を所定のデバイス形状に合わせて島状にエッチング除去する。

【0094】

次に、TEOS オゾン混合ガスを用いて、プラズマ CVD により膜厚約 350 nm の SiO₂ 膜 (図示せず) を堆積し、これを異方性エッチングである RIE (Reactive Ion Etching) にて約 400 nm エッチバックする。その後、SiH₄ と N₂O との混合ガスを用いたプラズマ CVD により、膜厚約 60 nm の多結晶 Si 薄膜トランジスタ 120 のゲート絶縁膜 (SiO₂ 膜) 123 を形成する。そして、ゲート絶縁膜 123 上にゲート電極 124 を形成する。

【0095】

以降は、図 1 (h) に示すように、通常によく知られたポリシリコン TFT の

形成プロセスと同様に、多結晶Si薄膜122へ不純物イオン(N⁺、P⁺)注入する。さらに、TEOSとO₂(酸素)の混合ガスを用いプラズマCVDにより、膜厚約350nmの層間絶縁膜(層間平坦化絶縁膜; SiO₂膜)126を堆積する。そして、コンタクトホール127を開口し、コンタクトホール127に金属配線140を形成する。

【0096】

ここで、ゲート電極124は多結晶SiとWシリサイドとから形成されているが、多結晶Si、他のシリサイドあるいはポリサイド等から形成されていてもよい。

なお、コンタクトホール127の直径および金属配線140の線幅は、大型ガラス基板でのフォトリソグラフィーの精度、及び接合時のアライメント精度に対応するため2μmとした。

【0097】

半導体装置101は、以上のように、単結晶Si薄膜トランジスタ130を含むSOI基板150に水素イオンを注入し、絶縁基板110に接合した後に熱処理を加えることにより水素イオン注入部でSOI基板150の不要部分153を劈開分離させて形成される。すなわち、絶縁基板110上に単結晶Si薄膜トランジスタ130を接合する工程において、接着剤を使用していない。

【0098】

このため、接合部の耐熱性が優れており、接合後の工程において高品質の無機絶縁膜やTFETの形成が可能となっている。

【0099】

また、半導体装置101では、単結晶Si薄膜トランジスタ130の主要部分は、絶縁基板110に集積化される前にSOI基板150上で形成される。すなわち、ゲート電極133、ゲート絶縁膜134、単結晶Si薄膜135を含んだ状態で、絶縁基板110上に集積化される。このため、絶縁基板110上に形成した単結晶Si薄膜から単結晶Si薄膜トランジスタを形成する場合よりも、高度な微細加工を行うことができ、単結晶Si薄膜の薄膜化が容易である。

【0100】

このため、トランジスタの微細化に伴って顕著になる、短チャネル効果の問題を抑制することができる。すなわち、半導体装置 101 における単結晶 Si 薄膜 135 においては、20 nm 以下の均一な膜厚を実現でき、短チャネル効果による影響を無視できる程度に抑制することができる。

【0101】

例えば、半導体装置 101 において、ゲート長 $0.25\ \mu\text{m}$ の場合、単結晶 Si 薄膜 135 の膜厚を増加させると、膜厚 70 nm までは大きな変化がないが、70 nm ~ 100 nm 以上の膜厚では次第に TFT の S 値が大きくなり、オフ電流の増加が著しくなった。したがって、短チャネル効果の影響は、チャネル部のドーピング密度のバラツキにも依存するが、ゲート長 $0.25\ \mu\text{m}$ の場合には、単結晶 Si 薄膜 135 の膜厚を約 70 nm 以下にすれば実用上無視できる程度に抑制可能である。

【0102】

一方、ゲート長 $0.13\ \mu\text{m}$ とした場合、単結晶 Si 薄膜 135 の膜厚を増加させると、膜厚約 20 nm までは大きな変化はないが、20 nm ~ 50 nm に増加させると TFT の閾値が低下し、オフ電流の増加が著しくなった。したがって、チャネル部のドーピング密度のバラツキにも依存するが、ゲート長 $0.13\ \mu\text{m}$ の場合には、単結晶 Si 薄膜 135 の膜厚を約 20 nm 以下にすれば短チャネル効果の影響を実用上無視できる程度に抑制可能である。

【0103】

また、水素イオンを SOI 基板 150 に注入する際、水素イオンの分布のピーク位置が BOX 層 152 内になるようにエネルギーを調節している。これにより、劈開分離した SOI 基板 150 の分離表面に残る、ダングリングボンド、結晶欠陥などの電気特性上有害な損傷層は、BOX 層 152 内に限られる。

【0104】

このため、SOI 基板 150 表面の損傷層は、SOI 基板 150 表面に残存している BOX 層 152 の SiO_2 を希フッ酸等で選択的にエッチングすることにより、単結晶 Si 薄膜 135 の膜厚均一性を損なわずに、完全に除去することができる。すなわち、単結晶 Si 薄膜 135 が SiO_2 膜 111 表面の一部にしか

形成されていないためCMP等の手段が使えないにもかかわらず、単結晶Si薄膜135の膜厚均一性を損なうことなく表面欠陥を除去することが可能である。したがって、単結晶Si薄膜トランジスタ130における、膜厚均一性を保ちつつ、単結晶Si薄膜135の表面層の損傷による特性低下の問題を解消することができる。

【0105】

また、半導体装置101は、1枚の絶縁基板110上の異なる領域に、MOS型の多結晶Si薄膜トランジスタ120と、MOS型の単結晶Si薄膜トランジスタ130とが共存する構成である。このため、特性が異なる複数の回路を集積化した高性能・高機能な半導体装置を得ることができる。

【0106】

また、半導体装置101においては、トランジスタ群が多結晶Si薄膜トランジスタ120と単結晶Si薄膜トランジスタ130とにより異なる領域に形成されている。したがって、それぞれの同一導電型のトランジスタにおいて、移動度、サブスレショルド係数、閾値電圧のうち少なくとも1つが、領域毎に異なっている。このため、必要とする特性に合わせてトランジスタを適した領域に形成することができる。

【0107】

また、例えば、半導体装置101を液晶表示装置のアクティブマトリクス基板等に利用する場合には、さらに、液晶表示用に、SiN_x（窒化Si）、樹脂平坦化膜、ビアホール、透明電極を形成することができる。この場合には、多結晶Si薄膜122の領域には、ドライバおよび表示部用のTFTが形成される。そして、より高性能が要求されるデバイスに適応可能な単結晶Si薄膜135の領域には、タイミングコントローラを形成することができる。もちろん、ドライバを単結晶Si薄膜135の領域で形成しても良い。この場合は多結晶Si薄膜122の領域にドライバを形成する場合よりもさらにドライバの性能が向上する。したがって、デバイス面積がより小さく、均一性が優れ、より低電圧で動作するドライバを形成することができる。

【0108】

このように、単結晶 Si 薄膜 135、多結晶 Si 薄膜 122 からなる薄膜トランジスタのそれぞれの特性に応じて、各薄膜トランジスタの機能・用途を決定することで、高性能・高機能な薄膜トランジスタを得ることができる。

【0109】

なお、従来の多結晶 Si 薄膜 122 の領域に形成した N チャネル TFT は、約 $100\text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度であったのに対し、半導体装置 101 を集積化した液晶表示用アクティブマトリクス基板においては、単結晶 Si 薄膜 135 の領域に形成した N チャネル TFT は約 $350\text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度であった。すなわち、半導体装置 101 の構成によれば、従来に比べて高速動作が可能な TFT を得ることができる。

【0110】

また、この液晶表示用のアクティブマトリクス基板において、ドライバはもとより多結晶 Si 薄膜 122 の領域に形成されているデバイスが $5\text{ V} \sim 8\text{ V}$ の信号と電源電圧を要するのに対し、単結晶 Si 薄膜 135 の領域に形成されているデバイスであるタイミングコントローラは 1.5 V にて安定に動作した。すなわち、半導体装置 101 の構成によれば、従来に比べて消費電力の低い TFT を得ることができる。

【0111】

また、半導体装置 101 においては、集積回路が多結晶 Si 薄膜 122 の領域と単結晶 Si 薄膜 135 の領域とに形成されることにより、必要とする構成および特性に合わせて集積回路を適した領域に形成することができる。そして、それぞれの領域に形成された集積回路において、動作速度や動作電源電圧等が異なる性能の集積回路を作ることができる。例えば、ゲート長、ゲート絶縁膜の膜厚、電源電圧、ロジックレベルのうち少なくとも 1 つが領域毎に異なる設計とすることができる。すなわち、領域ごとに異なる特性を有するデバイスを形成でき、より多様な機能を備えた半導体装置を得ることができる。

【0112】

さらに、半導体装置 101 においては、集積回路が多結晶 Si 薄膜 122 の領域と単結晶 Si 薄膜 135 の領域とに形成される。このため、それぞれの領域に

形成された集積回路は、領域毎の特性に応じて、異なる加工ルールを適用することができる。例えば、短チャネル長のTFTの場合、単結晶Si薄膜領域では結晶粒界がないためTFT特性のバラツキが殆ど増加しないのに対し、多結晶Si薄膜領域では結晶粒界の影響でTFT特性のバラツキが急速に増加する。このため、加工ルールを単結晶Si薄膜領域と多結晶Si薄膜領域とで変える必要がある。

【0113】

なお、半導体装置101上に形成される単結晶Si薄膜135のサイズは、LSI製造装置のウエハサイズによって決まることになる。しかし、単結晶Si薄膜135を必要とする高速性、消費電力、バラツキが問われる高速のロジック、タイミングジェネレータ、高速のDAC（電流バッファ）、あるいはプロセッサ等を形成するためには、一般的なLSI製造装置のウエハサイズで十分である。

【0114】

また、単結晶Si薄膜トランジスタ130および多結晶Si薄膜トランジスタ120は、本実施形態で示した構成に限定されるものではない。例えば、ボトムゲート構造のMOS型薄膜トランジスタや、バイポーラ型薄膜トランジスタであっても、上記と同様の効果を得ることができる。

【0115】

また、半導体装置101における絶縁基板110には、高歪点ガラスであるコーニング社のCode1737（アルカリ土類-アルミノ硼珪酸ガラス）を用いているが、これに限定されるものではない。例えば、高歪点ガラスであるバリウム-アルミノ硼珪酸ガラス、アルカリ土類-アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類-亜鉛-鉛-アルミノ硼珪酸ガラス、アルカリ土類-亜鉛-アルミノ硼珪酸ガラス等であってもよい。

【0116】

ただし、絶縁基板110として、コーニング社のCode1737（アルカリ土類-アルミノ硼珪酸ガラス）の代わりにコーニング社のCode7059（バリウム-硼珪酸ガラス）を用いた場合、同様に接合はできるものの、劈開剥離の成功率は大きく悪化した。

【0117】

これは、図6に示すように、Code 1737はSiとの線膨張の差が約250ppmであるのに対し、Code 7059はSiとの線膨張の差が約800ppmと大きくなるためである。

【0118】

従って、劈開剥離の成功率を向上させる観点から、室温から600℃までの絶縁基板とSiとの線膨張の差は、約250ppm以下であることが望ましい。

【0119】

また、絶縁基板110には、歪み点500℃以上の高歪み点ガラスを用いることが望ましい。これにより、製造工程においてSi酸化膜の膜質や不純物の活性化、あるいは欠陥回復等に対する制限を少なくすることができ、生産性を向上させることができる。また、SOI基板150を絶縁基板110上に接合した後に、過熱することにより、両者の接合強度を高めることができる。

【0120】

また、半導体装置101における単結晶Si薄膜トランジスタは、絶縁基板110側から、ゲート電極133、ゲート絶縁膜134、単結晶Si薄膜135の順序で形成されている。このため、単結晶Si薄膜135に金属配線140を接続する工程が容易であり、生産性がよい。

【0121】

なお、本実施形態における半導体装置101の単結晶部分は、絶縁基板110側から、ゲート電極133、ゲート絶縁膜134、単結晶Si薄膜135、金属配線140の順序で構成されているが、この構成に限定されるものではない。例えば、ゲート電極133、ゲート絶縁膜134、単結晶Si薄膜135の少なくとも一部に、層間絶縁膜と金属配線層を有している構成とすることができる。このため、必要とする特性に合わせて、多様な単結晶Si薄膜デバイスを設計することが可能である。

【0122】

また、半導体装置101の製造方法の、SOI基板150と、絶縁基板110とを接合する工程において、周囲環境を真空とすることができる。これにより、

接合欠陥を低減することができる。

【0123】

また、本実施形態の方法により、絶縁基板 110 の概全面に単結晶 Si 薄膜デバイスを形成することも可能である。この場合においても、膜厚が薄くかつ均一で、表面欠陥のない単結晶 Si 薄膜デバイスが実現できる。

【0124】

〔実施形態 2〕

本発明の半導体装置およびその製造方法に関する他の実施形態について、図 2 (a) ~ (h) および図 9 を用いて説明すれば以下の通りである。なお、説明の便宜上、実施形態 1 における半導体装置 101 と同じ部材および同じ製造方法については、その説明を一部省略する。また、説明を省略する部材には、実施形態 1 と同じ符号を用いる。

【0125】

本実施形態の半導体装置 201 は、上述した実施形態 1 の半導体装置 101 と同様に、多結晶 Si 薄膜トランジスタ 120 と、MOS 型の単結晶 Si 薄膜トランジスタ 230 とを、絶縁基板上の異なる領域に集積化した半導体装置であり、アクティブマトリクス基板等に使用される。したがって、半導体装置 201 の構成は、実施形態 1 の半導体装置 101 と同様である。

【0126】

ただし、半導体装置 201 は、SOI 基板の代わりに多孔質 Si 層を形成した複層 Si 基板（単結晶 Si 薄膜積層基板）250 を用いる点と、複層 Si 基板 250 を絶縁基板 110 に接合させた後に、複層 Si 基板 250 の不要部分を多孔質 Si 層 255 で分離させる点において、実施形態 1 と異なっている。

【0127】

半導体装置 201 は、図 9 に示すように、絶縁基板 110 上に、SiO₂ 膜 111、多結晶 Si 薄膜 122 を含む MOS 型の多結晶 Si 薄膜トランジスタ 120、単結晶 Si 薄膜 235 を備えた MOS 型の単結晶 Si 薄膜トランジスタ 230、金属配線 140 を備えている。

【0128】

なお、実施形態1と同様、絶縁基板110の表面全体に SiO_2 膜111が膜厚約100nmで形成されている。また、多結晶 Si 薄膜122を含むMOS型の多結晶 Si 薄膜トランジスタ120は、 SiO_2 膜111上に形成された層間絶縁膜(SiO_2 膜)121上に形成されている。

【0129】

一方、単結晶 Si 薄膜235を含むMOS型の単結晶 Si 薄膜トランジスタ230は、 SiO_2 膜111上の多結晶 Si 薄膜トランジスタ120が形成された領域とは異なる領域に形成されている。すなわち、単結晶 Si 薄膜トランジスタ230は、 SiO_2 膜111上に、膜厚約10nmの SiO_2 膜231、平坦化膜232、ゲート電極233、膜厚約15nmのゲート絶縁膜234、島状パターンに形成された膜厚約20nmの単結晶 Si 薄膜235の順序で構成されている。

【0130】

また、多結晶 Si 薄膜トランジスタ120および単結晶 Si 薄膜トランジスタ230の上には、絶縁基板110の上方全面にわたって、層間絶縁膜(SiO_2 膜)126が形成されている。ただし、層間絶縁膜126は開口部(コンタクトホール127)を有しており、このコンタクトホール127には AlSi 等の金属からなる金属配線140が形成されている。金属配線140は、多結晶 Si 薄膜122および単結晶 Si 薄膜235における各島状の領域の上面から形成されている。

【0131】

ここで、半導体装置201の製造方法について、図2(a)～(h)を用いて説明する。

【0132】

まず、図2(a)に示すように、絶縁基板110の表面全体に TEOS と O_2 との混合ガスを用いて、プラズマCVDによって、膜厚約50nmの SiO_2 膜111を堆積する。

【0133】

次に、図2(b)に示すように、単結晶 Si 薄膜トランジスタ230を別途作

り込んだ、単結晶 Si 薄膜 235 および多孔質 Si 層 255 によって構成される複層 Si 基板 250 を形成し、この複層 Si 基板 250 を絶縁基板 110 上に接合する。

【0134】

ここで、複層 Si 基板 250 の製造方法を説明する（図 2（b）参照）。まず、フッ酸とエタノール混合液に Si ウエハを浸漬し、Si ウエハを陽極側にして化成することにより多孔質 Si 層 255 を形成する。ここで、多孔質 Si 層 255 の孔径は数 nm および 5 nm ~ 10 nm との 2 段階とする。これは、後の劈開分離工程を容易にするためである。なお、孔径と層厚は、化成条件（化成時の電流と化成時間）を変えることによって制御することが可能である。

【0135】

そして、上記で作成した多孔質 Si 層 255 の表面に、400℃~500℃の温度で薄い酸化膜層（図示せず）を形成し、多孔質 Si 層 255 の表面を安定化させる。そして、約 1000℃以上の温度の水素雰囲気によって熱処理することにより、多孔質 Si 層 255 の表面を塞ぐ。さらにその上に、気相でエピタキシャル層を成長した単結晶 Si 薄膜 235 を形成する。

【0136】

次に、一般的な IC 製造ラインで多孔質 Si 層 255 上に CMOS 工程の一部、すなわちソース・ドレイン不純物イオン（BF³⁺、P⁺）注入および P 型と N 型のチャネル部分にチャネル注入を行った単結晶 Si 薄膜 235、ゲート絶縁膜 234、ゲート電極 233、平坦化膜 232（BPSG 膜）、保護絶縁膜（図示せず）、を形成する。なお、平坦化膜 232 は、CVD によって SiO₂ および BPSG を堆積した後、BPSG を溶融し、あるいは更に CVD 等で SiO₂ を堆積した後、あるいは TEOS 等を用いた CVD またはプラズマ CVD 等で SiO₂ を堆積後、概その膜厚部分を基板の凸部（ゲートパターンのない部分）を残して RIE でエッチング除去し、さらに TEOS 等を用いた CVD またはプラズマ CVD 等で SiO₂ を堆積し、CMP で平坦化することによって形成した。以上により、多孔質 Si 層 255 と単結晶 Si とを有する、すなわち多孔質 Si およびエピタキシャル成長させた単結晶 Si による複層 Si 基板 250 が形成され

る。

【0137】

なお、半導体装置 201 におけるゲート電極 233 のゲート長は $0.25\mu\text{m}$ とした。

【0138】

次に、上記で形成された複層 Si 基板 250 を、絶縁基板 110 上の接合領域に適合した所定のサイズに切断する。

【0139】

そして、絶縁基板 110 および切断した複層 Si 基板 250 の両基板を RCA 洗浄 (SC1) により洗浄および活性化する。さらに、複層 Si 基板 250 の SiO₂ 膜 231 側の表面を、絶縁基板 110 上の所定の位置にアライメントし、室温で密着させて接合する。

【0140】

その後、 $300^{\circ}\text{C}\sim 600^{\circ}\text{C}$ 、ここでは約 550°C の温度で熱処理し、複層 Si 基板 250 と絶縁基板 110 との密着強度を向上させる。

【0141】

次に、ウォータージェットを前記複層 Si 基板 250 の多孔質 Si 層 255 に当てることにより、複層 Si 基板の不要部分 253 を、多孔質 Si 層 250 を境に劈開剥離する (図 2 (c) 参照)。なお、多孔質 Si 層 255 に水を含ませた後、温度を氷点下に下げる事によっても、多孔質 Si 層 250 を境に劈開剥離させることが可能である。

【0142】

その後、多孔質 Si 層 255 の分離面を、超純水で希釈したフッ酸と過酸化水素混合液でエッチングする事により平坦化する。

【0143】

続いて、剥離されて絶縁基板 110 上に残った複層 Si 基板の不要部分 (多孔質 Si 層 255 a) をエッチング除去する。そして、単結晶 Si 薄膜 235 を島状に加工することにより、図 2 (d) に示すように、絶縁基板 110 上、ここでは膜厚約 20nm の単結晶 Si 薄膜 235 による MOS 型 TFT の一部が形成さ

れる。

【0144】

その後、図2 (e) に示すように、絶縁基板110の上方全面に SiH_4 と N_2O との混合ガスを用いたプラズマCVDによって、膜厚約100nmの SiO_2 膜121を堆積する。さらに、その全面に SiH_4 ガスを用いてプラズマCVDにより、膜厚約50nmの非晶質Si膜122aを堆積する。

【0145】

さらに、非晶質Si膜122aにエキシマレーザを照射して、加熱、結晶化し、多結晶Si層を成長させて多結晶Si薄膜122を形成するとともに、単結晶Si薄膜235上の SiO_2 膜231と絶縁基板110上の SiO_2 膜111との接合強度向上を図る(図2 (f) 参照)。

【0146】

次に、図2 (g) に示すように、デバイスの活性領域となる部分を残すために、多結晶Si薄膜122の不要部分および SiO_2 膜121の少なくとも単結晶Si薄膜235上の部分をエッチングにより除去する。また、多結晶Si薄膜122の不要部を所定のデバイス形状に合わせて島状にエッチング除去する。

【0147】

次に、TEOSオゾン混合ガスを用いて、プラズマCVDにより膜厚約350nmの SiO_2 膜を堆積し、これを異方性エッチングであるRIE (Reactive Ion Etching) にて約400nmエッチバックする。その後、 SiH_4 と N_2O との混合ガスを用いたプラズマCVDにより、膜厚約60nmの多結晶Si薄膜トランジスタ120のゲート絶縁膜(SiO_2 膜)123を形成する。

【0148】

以降は、図2 (g) ~ (h) に示すように、通常によく知られたポリシリコンTFTの形成プロセスと同様に、ゲート絶縁膜123上にゲート電極124を形成し、多結晶Si薄膜122へ不純物イオン(N^+ 、 P^+) 注入する。さらに、TEOSと O_2 (酸素) の混合ガスを用いプラズマCVDにより、膜厚約350nmの層間絶縁膜126を堆積する。そして、コンタクトホール127を開口し、コンタクトホール227に金属配線140を形成する。

【0149】

なお、コンタクトホール127の直径および金属配線140の線幅は、大型ガラス基板でのフォトリソグラフィの精度、及び接合時のアライメント精度に対応するため2 μ mとした。

【0150】

また、液晶表示用に更に、SiNx（窒化シリコン）、樹脂平坦化膜、ビアホール、透明電極を順次形成し、多結晶Si TFTでドライバおよび表示部用のTFTを形成し、タイミングコントローラを単結晶Si TFTで形成する。

【0151】

半導体装置201は、以上のように、単結晶Si薄膜トランジスタ230と多孔質Si層255とを含む複層Si基板250を、絶縁基板110に接合した後に、複層Si基板の不要部分253を多孔質Si層255で劈開剥離させて形成される。すなわち、多孔質Si層255にウォータージェットを当て、もしくは多孔質Si層255に水を含ませた後、温度を氷点下に下げる事により、多孔質Si層255を境に劈開剥離させる。したがって、絶縁基板110上に単結晶Si薄膜トランジスタ230を接合する工程において、接着剤を使用していない。

【0152】

このため、接合部の耐熱性が優れており、接合後の工程において高品質の無機絶縁膜やTFTの形成が可能となっている。

【0153】

また、半導体装置201では、単結晶Si薄膜トランジスタ230の主要部分は、絶縁基板110に接合される前に複層Si基板250上で形成される。すなわち、ゲート電極233、ゲート絶縁膜234、単結晶Si薄膜235を含んだ状態で、絶縁基板110上に接合される。このため、絶縁基板110上に形成した単結晶Si薄膜から単結晶Si薄膜トランジスタを形成する場合よりも、高度な微細加工を行うことができ、単結晶Si薄膜の薄膜化が容易である。

【0154】

このため、トランジスタの微細化に伴って顕著になる、短チャネル効果の問題を抑制することができる。すなわち、半導体装置201における単結晶Si薄膜

235においては、20 nm以下の均一な膜厚を実現でき、短チャネル効果による影響を無視できる程度に抑制することができる。

【0155】

例えば、半導体装置201において、ゲート長 $0.25\mu\text{m}$ の場合、単結晶Si薄膜235の膜厚を増加させると、膜厚70 nmまでは大きな変化がないが、70 nm～100 nm以上の膜厚では次第にTF TのS値が大きくなり、オフ電流の増加が著しくなった。したがって、短チャネル効果の影響はチャネル部のドーピング密度のバラツキにも依存するが、ゲート長 $0.25\mu\text{m}$ の場合には、単結晶Si薄膜235の膜厚を約70 nm以下にすれば抑制可能である。

【0156】

一方、ゲート長 $0.13\mu\text{m}$ とした場合、単結晶Si薄膜235の膜厚を増加させると、膜厚約20 nmまでは大きな変化はないが、20 nm～50 nmに増加させるとTF Tの閾値が低下し、オフ電流の増加が著しくなった。したがって、チャネル部のドーピング密度のバラツキにも依存するが、ゲート長 $0.13\mu\text{m}$ の場合には、単結晶Si薄膜235の膜厚を約20 nm以下にすれば短チャネル効果の影響を抑制することができる。

【0157】

また、劈開分離した複層Si基板250表面に残る、ダングリングボンド、結晶欠陥などの電気特性上有害な損傷層は、多孔質Si層255に限られる。

【0158】

このため、複層Si基板250表面の損傷層は、複層Si基板250表面に残存している多孔質Si層255をエッチング除去することにより、単結晶Si薄膜235の膜厚均一性を損なわずに、完全に除去することができる。すなわち、単結晶Si薄膜235がSiO₂膜111表面の一部にしか形成されていないためCMP等の手段が使えないにもかかわらず、単結晶Si薄膜235の膜厚均一性を損なうことなく表面欠陥を除去することが可能である。したがって、単結晶Si薄膜トランジスタ230における、膜厚均一性を保ちつつ、単結晶Si薄膜235の表面層の損傷による特性低下の問題を解消することができる。

【0159】

なお、単結晶 Si 薄膜トランジスタ 230 は、実施形態 1 における単結晶 Si 薄膜トランジスタ 130 よりも、単結晶 Si 中の欠陥密度が非常に小さい。すなわち、複層 Si 基板 250 を絶縁基板 110 に接合する工程以降の工程の温度を 600℃ 以上に上げられないが、600℃ 以上に上げなくても、水素イオンの注入を行わないため、結晶中の欠陥密度が非常に小さい。

【0160】

このため、単結晶 Si 薄膜トランジスタ 230 は、実施形態 1 における単結晶 Si 薄膜トランジスタ 130 よりも、移動度、閾値電圧、S 係数のいずれの特性においても優れている。

【0161】

例えば、従来の多結晶 Si 薄膜 222 の領域に形成した N チャネル TFT は、約 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度であった。また、実施形態 1 における半導体装置 101 を集積化した液晶表示用アクティブマトリクス基板においては、単結晶 Si 薄膜 235 の領域に形成した N チャネル TFT は約 $350 \text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度であった。これに対して、半導体装置 201 を集積化した液晶表示用アクティブマトリクス基板においては、単結晶 Si 薄膜 235 の領域に形成した N チャネル TFT は約 $400 \text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度であった。すなわち、半導体装置 201 の構成によれば、従来に比べて高速動作が可能な TFT を得ることができる。

【0162】

なお、この液晶表示用のアクティブマトリクス基板において、ドライバはもとより多結晶 Si 薄膜 122 の領域に形成されているデバイスが 5V～8V の信号と電源電圧を要するのに対し、単結晶 Si 薄膜 235 の領域に形成されているデバイスであるタイミングコントローラは 1.5V にて安定に動作した。すなわち、半導体装置 201 の構成によれば、従来に比べて消費電力の低い TFT を得ることができる。

【0163】

その他、半導体装置 201 および半導体装置 201 を構成する部材は、実施形態 1 における半導体装置 101 および半導体装置 101 を構成する部材と同様の

機能、効果を有する。ここでは、説明を省略する。

【0164】

〔実施形態3〕

本発明の半導体装置およびその製造方法に関するさらに他の実施形態について、図3（a）～（h）および図10を用いて説明すれば以下の通りである。説明する。なお、説明の便宜上、実施形態1における半導体装置101と同じ部材および同じ製造方法については、その説明を一部省略する。また、説明を省略する部材には、実施形態1と同じ符号を用いる。

【0165】

本実施形態の半導体装置301は、図10に示すように、単結晶Si薄膜デバイスと非単結晶Si薄膜デバイスとが、絶縁基板上の異なる領域に形成されているという点においては、実施形態1における半導体装置101と同様である。

【0166】

ただし、半導体装置301は、非単結晶Si薄膜デバイスが、連続結晶粒界Si薄膜によって形成される点が、実施形態1の半導体装置101とは異なる。ここで、連続結晶粒界Siは、微量の金属を添加することにより、結晶成長方向を揃えて結晶の成長を促進させることによって形成される多結晶Siである。

【0167】

半導体装置301は、図10に示すように、絶縁基板110上に、SiO₂膜111、連続結晶粒界Si薄膜322を含むMOS型の連続結晶粒界Si薄膜トランジスタ320、単結晶Si薄膜135を含むMOS型の単結晶Si薄膜トランジスタ130を備えている。なお、図3（g）において、連続結晶粒界Si薄膜トランジスタのゲート電極324の形成以降に形成される部材（層間平坦化膜、金属配線等）については、実施形態1と同様のため省略している。

【0168】

実施形態1と同様に、絶縁基板110の表面全体に、SiO₂膜111が膜厚約100nmで形成されている。そして、SiO₂膜111上には連続結晶粒界Si薄膜322を含むMOS型の連続結晶粒界Si薄膜トランジスタ320が形成されている。すなわち、SiO₂膜111上に連続結晶粒界Si薄膜322、

SiO₂膜（絶縁膜、酸化膜）325、ゲート絶縁膜323、ゲート電極324の順序で構成されている。ここで、連続結晶粒界Si薄膜322は、SiO₂膜111上に膜厚40nmの島状パターンで形成されている。また、ゲート絶縁膜323は、連続結晶粒界Si薄膜322上の全面にわたって膜厚約60nmで形成されている。

【0169】

一方、単結晶Si薄膜135を含むMOS型の単結晶Si薄膜トランジスタ130は、実施形態1における半導体装置101と同様に形成されている。すなわち、SiO₂膜111上の連続結晶粒界Si薄膜トランジスタ320が形成された領域とは異なる領域に形成されている。

【0170】

また、連続結晶粒界Si薄膜トランジスタ320および単結晶Si薄膜トランジスタ130の上には、絶縁基板110の上方全面にわたって、ゲート絶縁膜、層間絶縁膜、金属配線等（いずれも図示せず）が実施形態1における半導体装置101と同様に形成されている。

【0171】

ここで、半導体装置301の製造方法について説明する。

【0172】

まず、図3（a）に示すとおり、絶縁基板110の表面全体にTEOSとO₂との混合ガスを用いて、プラズマCVDによって、膜厚約100nmのSiO₂膜111を堆積する。そして、その表面上全面にSiH₄ガスを用いてプラズマCVDにより、約50nmの非晶質Si膜322aを堆積する。

【0173】

さらに、図3（b）に示すように、その表面上全面にSiH₄とN₂O混合ガスを用いてプラズマCVDにより約200nmの第2のSiO₂膜390を堆積する。

【0174】

そして、非晶質Si膜322aの上層に形成した第2のSiO₂膜390における所定の領域に、エッチングにより開口部391を形成する。これは、開口部

391における非晶質Si膜322aの表面の親水性をコントロールするためである。

【0175】

次に、図3(c)の工程に移る。開口部391における非晶質Si膜322aの表面を薄く酸化して酸化膜(SiO₂膜)(図示せず)を形成し、その上に酢酸Ni水溶液をスピコートする。さらに、580℃の温度にて約8時間固相成長を行い、連続結晶粒界Siを成長させて連続結晶粒界Si薄膜322を形成させる。これにより、膜厚約40nmの連続結晶粒界Si薄膜322が得られる。なお、連続結晶粒界Siの形成にはNiの他、Pt、Sn、Pd等の金属原子を用いることができる。次に、開口部391に、高濃度のP⁺イオン(15keV, $5 \times 10^{15} / \text{cm}^2$)を注入する。さらに、RTA(Rapid Thermal Anneal; 瞬間熱アニール)にて約800℃の温度で1分間の熱処理を行う。これにより、SiO₂膜390をマスクとして、結晶成長を促進するために添加したNiをゲッタリングすることができる。

【0176】

次に、連続結晶粒界Si薄膜322上のSiO₂膜をすべてエッチングして除去する。また、連続結晶粒界Si薄膜322の所定の領域をエッチングして除去する(図3(c)参照)。次に、TEOSと酸素混合ガスによるプラズマCVD等でガラス基板上全面に約50nmのSiO₂膜325を堆積する(図3(d)参照)。

【0177】

次に、単結晶Si薄膜トランジスタ130を別途作り込んだSOI基板150を、絶縁基板110上の接合領域に適合した所定のサイズに切断する。ただし、SOI基板150を、絶縁基板110上の所定の領域(連続結晶粒界Si薄膜322をエッチングして除去した領域)の形状より少なくとも0.3ミクロン、好ましくは0.5ミクロン以上小さい形状に切断する。

【0178】

そして、図3(e)に示すように、SOI基板150を、実施形態1と同じ方法によって絶縁基板110上に接合する。

【0179】

これには、絶縁基板110およびSOI基板150の両基板を、RCA洗浄（SC1）により洗浄および活性化する。そして、SOI基板150のSiO₂膜131側の表面を、絶縁基板110上の所定の位置にアライメントし、室温で密着させて接合する。この時、連続結晶粒界Si薄膜322と単結晶Si薄膜積層基板150との間は少なくとも0.3ミクロン、好ましくは0.5ミクロン以上離れている。このことにより、上記連続結晶粒界Si薄膜322の製造工程において用いられた、Niの金属原子が、単結晶Si領域に拡散するのを防止し、特性の安定化を図ることができる。

【0180】

次に、レーザ照射または約700℃以上のピーク温度を含むランプアニールによって、SOI基板150の水素イオン注入部151の温度をSiから水素が離脱する温度以上に昇温する。これにより、絶縁基板110上に接合されたSOI基板150のうち、不要部分153を、水素イオン注入部151を境に劈開剥離する（図3（f）参照）。

【0181】

続いて、図3（g）に示すように、剥離されて絶縁基板110上に残ったSOI基板150表面のBOX層152aを希フッ酸でエッチングにより除去する。すなわち、損傷層を含むBOX層152aのみを選択的に除去する。この時、同時に連続結晶粒界上のSiO₂も除去する。その後、デバイスの活性領域となる部分を残し、連続結晶粒界Si薄膜322の不要部分と単結晶Si薄膜135の不要部分とをエッチングして除去し、島状のパターンを得る。以上により、絶縁基板310上に、ここでは膜厚約20nmの単結晶Si薄膜135と、膜厚約40nmの連続結晶粒界Si薄膜322とが得られる。

【0182】

次に、TEOSと酸素との混合ガスを用いてプラズマCVDにより膜厚約350nmのSiO₂膜を堆積し、これをRIEで約370nmエッチバックする。その後、ゲート絶縁膜としてSiH₄とN₂Oとの混合ガスを用いてプラズマCVDにより膜厚約60nmのSiO₂膜323を形成する。ここで、連続結晶粒界

S i 薄膜 322 および単結晶 S i 薄膜 135 の、それぞれのパターンの端部にサイドウォールが形成される。

【0183】

以降は、実施形態 1 と同様の工程を行う。すなわち、ゲート絶縁膜 323 を形成後、その上にゲート電極 324、層間平坦化絶縁膜（図示せず）、金属配線（図示せず）等を形成する。以上により、絶縁基板 110 上に、MOS 型の連続結晶粒界 S i 薄膜トランジスタ 320 と、MOS 型の単結晶 S i 薄膜トランジスタ 130 とを形成することができる（図 3（h）参照）。

【0184】

半導体装置 301 は、以上のように、1 枚の絶縁基板上の異なる領域に、MOS 型の非単結晶 S i 薄膜トランジスタと、MOS 型の単結晶 S i 薄膜トランジスタとが共存する構成である。これは、実施形態 1 における半導体装置 101 の構成と同様である。

【0185】

したがって、半導体装置 301 は、実施形態 1 における半導体装置 101 と同様の効果を有する。

【0186】

ただし、半導体装置 301 は、非単結晶 S i 薄膜トランジスタが連続結晶粒界 S i 薄膜トランジスタ 320 によって構成されている。このため、実施形態 1 における半導体装置 101 の場合よりも、非単結晶 S i 薄膜トランジスタ領域において高い移動度を得ることができる。すなわち、従来の多結晶 S i 領域に形成した N チャネル TFT の移動度が約 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ であるのに対して、従来の連続結晶粒界 S i 領域に形成した N チャネル TFT は約 $200 \text{ cm}^2/\text{V} \cdot \text{sec}$ の移動度を得ることができる。これは、金属原子のゲッターリングにより、チャネル中のキャリア（電子）の散乱中心の密度が減少したことによる。

【0187】

したがって、絶縁基板上の異なる領域に単結晶 S i 薄膜トランジスタと非単結晶 S i 薄膜トランジスタとが共存する半導体装置の設計において、必要とする特性に合わせて非単結晶 S i 薄膜トランジスタに要求する移動度に応じて、TFT

を形成する薄膜の種類を選定することができる。

【0188】

なお、半導体装置 301 は、SOI 基板 150 の代わりに、実施形態 2 に記載した複層 Si 基板 250 を用いて形成することができる。また、複層 Si 基板 250 を用いた場合、SOI 基板 150 を用いる場合よりも、単結晶 Si 薄膜トランジスタの移動度を高くすることができる。

【0189】

〔実施形態 4〕

本発明の半導体装置およびその製造方法に関するさらに他の実施形態について、図 4 (a) ~ (g) および図 11 を用いて説明すれば以下の通りである。なお、説明の便宜上、実施形態 1 における半導体装置 101 と同じ部材および同じ製造方法については、その説明を一部省略する。また、説明を省略する部材には、実施形態 1 と同じ符号を用いる。

【0190】

本実施形態の半導体装置 401 は、図 11 に示すように、単結晶 Si 薄膜デバイスと非単結晶 Si 薄膜デバイスとが、絶縁基板上の異なる領域に形成されているという点においては、実施形態 1 における半導体装置 101 と同様である。また、半導体装置 401 は、アクティブマトリクス基板等に使用されるものである。

【0191】

ただし、半導体装置 401 は、非単結晶 Si 薄膜デバイスが、非晶質 Si 薄膜によって形成される点が、実施形態 1 の半導体装置 101 とは異なる。

【0192】

また、半導体装置 401 は、単結晶 Si 薄膜デバイスがバイポーラ型トランジスタである点においても、実施形態 1 の半導体装置 101 と異なる。

【0193】

半導体装置 401 は、図 11 に示すように、絶縁基板 110 上に、SiO₂ 膜 111、非晶質 Si 薄膜 422 を含む非晶質 Si 薄膜トランジスタ 420、単結晶 Si 薄膜 435 からなるバイポーラ型トランジスタ（単結晶 Si 薄膜デバイス

) 430を備えている。

【0194】

半導体装置401は、実施形態1と同様に、絶縁基板110の表面全体に、SiO₂膜111が膜厚約100nmで形成されている。そして、SiO₂膜111上には非晶質Si（非単結晶Si）薄膜422を含む非晶質Si（非単結晶Si）薄膜トランジスタ420が形成されている。すなわち、非晶質Si薄膜トランジスタ420が、SiO₂膜111上に層間絶縁膜（SiO₂膜）421、ゲート電極424、ゲート絶縁膜425、ノンドープの非晶質Si薄膜422、N+非晶質Si薄膜428、ソース・ドレイン配線のための金属電極441の順序で構成されている。

【0195】

一方、バイポーラ型トランジスタ430は、SiO₂膜111上の非晶質Si薄膜トランジスタ420が形成された領域とは異なる領域に形成されている。

【0196】

ここで、バイポーラ型トランジスタ430は、SiO₂膜111上にゲート絶縁膜434、コレクタ・ベースエミッタとなる部分を含む単結晶Si薄膜435、金属配線440によって構成されている。なお、金属配線440は、層間絶縁膜421およびゲート絶縁膜425の開口部を介して接続されている。

【0197】

また、液晶表示用に、非晶質Si薄膜トランジスタ420およびバイポーラ型トランジスタ430の上方には、保護絶縁膜、平坦化膜、表示のための透明導電膜が形成されている（いずれも図示せず）。

【0198】

ここで、半導体装置401の製造方法について説明する。

【0199】

まず、図4（a）に示すように、実施形態1と同様の方法により、絶縁基板110の表面全体に膜厚約100nmのSiO₂膜111を形成する。

【0200】

次に、図4（b）に示すように、バイポーラ型トランジスタ430を別途作り

込んだSOI基板（単結晶Si薄膜積層基板）450を形成し、このSOI基板450を絶縁基板110上に接合する。

【0201】

ここで、図4（b）を用いて、SOI基板450の製造方法を説明する。

【0202】

まず、一般的なIC製造ラインでSOI基板を用いてBOX層452上にバイポーラ型トランジスタ430のジャンクション部分、すなわち不純物イオン注入（BF3⁺、P⁺）によりコレクタ・エミッタとなる部分を形成した単結晶Si薄膜435、ゲート絶縁膜434を形成する。その後、BOX層452に、 $5 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを、分布のピーク位置がBOX層452内になるようにエネルギーを調節して注入し、水素イオン注入部451を形成する。

【0203】

次に、上記で形成されたSOI基板450を、絶縁基板110上の接合領域に適合した所定のサイズに切断する。

【0204】

そして、絶縁基板110および切断したSOI基板450の両基板をRCA洗浄（SC1）により洗浄および活性化する。さらに、SOI基板450のゲート絶縁膜434側の表面を、絶縁基板110上の所定の位置にアライメントし、室温で密着させて接合する。

【0205】

その後、図4（c）に示すように、絶縁基板110上に接合されたSOI基板450のうち、実施形態1と同様の方法により不要部分453を劈開分離する。

【0206】

そして、図4（d）に示すように、剥離されて絶縁基板110上に残ったSOI基板450の不要部分（BOX層452a）を希フッ酸でウェットエッチングして表面の欠陥を除去する。

【0207】

次に、図4（e）に示すように、単結晶Si薄膜435を島状に加工すること

により、絶縁基板 110 上に、ここでは膜厚約 20 nm の単結晶 Si 薄膜 435 によるバイポーラ型 TFT の一部が形成される。

【0208】

その後、絶縁基板 110 の上方全面に SiH_4 と N_2O との混合ガスを用いたプラズマ CVD によって、膜厚約 200 nm の第 2 の SiO_2 膜（層間絶縁膜）421 を堆積する。さらに、その表面上全面にスパッタにより TaN 薄膜を堆積し、所定のパターンに加工することにより、ゲート電極 424 およびゲートバスライン等のゲート層の配線を形成する。

【0209】

ここで、ゲート層の配線の材料は TaN 薄膜に限られるものではない。すなわち、抵抗、耐熱性、配線の形成以降のプロセスとの適合性等に応じて、Al、Al 合金を始め種々の金属材料から選択することができる。

【0210】

続いて、図 4（f）に示すように、ゲート絶縁膜として SiH_4 ガスと NH_3 ガスを用いてプラズマ CVD により、膜厚約 200 nm の窒化珪素膜（ゲート絶縁膜）425 を堆積する。さらにその上に、 SiH_4 ガスを用いてプラズマ CVD により膜厚約 50 nm の非晶質 Si 薄膜 422、更にその上に SiH_4 ガスと PH_3 混合ガスにより P をドーピングした膜厚約 30 nm の N^+ 非晶質 Si 薄膜 428 をプラズマ CVD により順次連続堆積する。

【0211】

次に、図 4（g）に示すように、ノンドーピングの非晶質 Si 薄膜 422 と P をドーピングした N^+ 非晶質 Si 薄膜 428 とを、トランジスタとなる部分を残して島状にエッチングする。さらに、その上にソースバス配線のための金属電極（金属膜）441 としてスパッタにより Ti 薄膜を堆積し、所定のパターンに加工する。

【0212】

ここで、ソースバス配線のための金属電極は Ti に限定されるものではない。すなわち、抵抗、耐熱性、配線の形成以降のプロセスとの適合性等に応じて、Al、Al 合金を始め種々の金属材料から選択することができる。

【0213】

次に、島状パターンの非晶質 Si 薄膜 422 上に形成されている N+非晶質 Si 薄膜 428 の所定の領域、すなわちソース〜ドレイン間のチャンネルとなる部分をエッチング除去する。なお、N+非晶質 Si 薄膜 428 の一部をエッチング除去する際には、ノンドープの非晶質 Si 薄膜 422 の一部も合わせてエッチングされる。以上により、非晶質 Si 薄膜トランジスタ 420 が形成される。

【0214】

その後、保護絶縁膜として SiH₄ガスと NH₃ガスを用いてプラズマ CVD により約 200 nm の窒化珪素膜を堆積する（図示せず）。

【0215】

また、例えば液晶表示用のアクティブマトリクス基板として用いる場合には、通常の非晶質 Si を用いる場合と同様に、樹脂層間膜形成、表示用透明電極形成等を行う。ここでは一般的な良く知られた工程であるので説明は省略する。

【0216】

半導体装置 401 は、以上のように、1 枚の絶縁基板上の異なる領域に、非晶質 Si 薄膜トランジスタ 420 と、単結晶 Si 薄膜からなるバイポーラ型トランジスタ 430 とが共存する構成である。これは、実施形態 1 における半導体装置 101 の構成と同様である。したがって、半導体装置 401 は、実施形態 1 における半導体装置 101 と同様の効果を有する。

【0217】

ただし、半導体装置 401 は、非単結晶 Si 薄膜トランジスタが非晶質 Si 薄膜トランジスタ 420 によって構成されている。このため、単結晶 Si あるいは多結晶 Si、連続結晶粒界 Si 等の他の結晶構造を用いて形成される TFT とは、異なる特性を有する。すなわち、TFT を形成する Si 薄膜の結晶構造により、TFT の移動度、閾値、S 値等の特性が異なる。

【0218】

したがって、必要とする特性に応じて、TFT を形成する Si 薄膜の構造を選定することができる。例えば、移動度を高くしたい非単結晶 Si 領域には前記連続結晶粒界 Si からなる電界効果トランジスタを用いることができる。

【0219】

以降は、通常の非晶質 Si を用いたアクティブマトリクス基板の製造工程と同様である。例えば、樹脂層間膜形成、表示用透明電極形成により液晶表示に用いられるアクティブマトリクス基板が完成する。ここでは一般的な良く知られた工程であるので説明は省略する。

【0220】

なお、半導体装置 401 は、単結晶 Si 薄膜を含む SOI 基板を絶縁基板に接合した後に分離し、分離面を平坦化する工程において、実施形態 2 と同様の方法を用いることができる。すなわち、多孔質 Si 層上にバイポーラ型トランジスタのジャンクション部分を形成した複層 Si 基板を、絶縁基板 110 上に形成された SiO₂ 膜 111 上に接合する方法によっても、同様の効果が得られる。

複層 Si 基板を用いた場合、SOI 基板 450 を用いる場合よりも、単結晶 Si 薄膜トランジスタの移動度を高くすることができる。

【0221】

〔実施形態 5〕

本発明の半導体装置およびその製造方法に関するさらに他の実施形態について、図 5 (a) ~ (c) および図 12 を用いて説明すれば以下の通りである。なお、説明の便宜上、実施形態 1 における半導体装置 101 と同じ部材および同じ製造方法については、その説明を一部省略する。また、説明を省略する部材には、実施形態 1 と同じ符号を用いる。

【0222】

本実施形態の半導体装置 501 は、多結晶 Si 薄膜トランジスタ 120 と、2 層の金属配線層と、MOS 型の単結晶 Si 薄膜トランジスタを含む半導体装置 530 とを、絶縁基板上の異なる領域に集積化した半導体装置であり、アクティブマトリクス基板等に利用される。

【0223】

半導体装置 501 は、図 12 に示すように、絶縁基板 110 上に形成された SiO₂ 膜 111 上に、2 層の金属配線層と、単結晶 Si 薄膜トランジスタを含む半導体装置 530 とが形成されている。また、SiO₂ 膜 111 上の単結晶 Si

薄膜トランジスタが形成された領域とは異なる領域に多結晶 Si 薄膜トランジスタ（図示せず）が形成されている。

【0224】

一方、半導体装置 530 は、SiO₂膜 111 上の多結晶 Si 薄膜トランジスタ 120 が形成された領域とは異なる領域に形成されている。

【0225】

詳細には、SiO₂膜 111 上に、膜厚約 10 nm の SiO₂膜 531、第 1 の金属配線 545 を含む金属配線層 546 が形成されている。

さらに、金属配線層 536 の上には、第 1 のゲート電極 533 を含む層間絶縁膜 532 が形成されている。そしてさらに、層間絶縁膜 532 の上には、約 15 nm のゲート絶縁膜 534 が形成されており、ゲート絶縁膜 534 の上に単結晶 Si 薄膜 535 が形成されている。

【0226】

また、単結晶 Si 薄膜 535 の上には、SiO₂膜 537 が形成されてており、SiO₂膜 537 上の一部には、第 2 のゲート電極（図示せず）が形成されている。そして、さらに SiO₂膜 537 および第 2 のゲート電極の上には層間絶縁膜 126 が膜厚 60 nm で形成されている。なお、層間絶縁膜 126 は単結晶 Si 薄膜領域および非単結晶 Si 薄膜領域を含む絶縁基板 110 の上方全面にわたって形成されている。

【0227】

そして、層間絶縁膜 126 の上には、第 2 の金属配線 546 が形成されている。また、第 2 の金属配線 546 の一部はコンタクトホールを介して第 1 の金属配線あるいは第 1 のゲート配線の一部に接続される。

【0228】

なお、液晶表示用に、多結晶 Si 薄膜トランジスタ 120 および半導体装置 530 の上方には、絶縁基板 110 の上方全面にわたって、保護絶縁膜、平坦化膜、表示のための透明導電膜が形成されている（いずれも図示せず）。

【0229】

ここで、半導体装置 501 の製造方法について説明する。

【0230】

まず、実施形態1と同様の方法で、絶縁基板110上に膜厚100nmのSiO₂膜111を形成する。

【0231】

次に、図5(a)に示すように、半導体装置530を別途作り込んだSOI基板(単結晶Si薄膜積層基板)550を形成する。そして、図5(b)に示すように、SOI基板550を絶縁基板110上に接合する。

【0232】

ここで、図5(a)を用いて、SOI基板550の製造方法を説明する。まず、一般的なIC製造ラインでBOX層552上にCMOS工程の一部、すなわちSiO₂膜537、ソース・ドレイン不純物イオン(BF₃⁺、P⁺)注入およびP型とN型のチャネル部分にチャネル注入を行った単結晶Si薄膜535、ゲート絶縁膜534、第1のゲート電極533、層間絶縁膜532、保護絶縁膜(図示せず)、第1の金属配線545を含む第1の金属配線層536、SiO₂膜531を形成する。その後、BOX層552に、 $5 \times 10^{16} / \text{cm}^2$ のドーズ量の水素イオンを、分布のピーク位置がBOX層552内になるようにエネルギーを調節して注入し、水素イオン注入部551を形成する。

【0233】

ここで、第1のゲート電極533の材料はヘビードープの多結晶Si膜とWシリサイドを用いているが、材料は多結晶Si単独でも良く、また他の高融点金属やシリサイドでも良い。すなわち、必要な抵抗や耐熱性を考慮して選択することができる。

【0234】

また、第1の金属配線545にはTi-Wを用いているが、Al-Si、Al-Cu合金等の一般的な配線材料を用いることができる。

【0235】

次に、上記で形成されたSOI基板550を、絶縁基板110上の接合領域に適合した所定のサイズに切断する。

【0236】

そして、実施形態 1 と同様の方法により、S O I 基板 5 5 0 と絶縁基板 1 1 0 とを接合させた後、S O I 基板 5 5 0 の不要部分を熱処理により水素イオン注入部 5 5 1 で劈開剥離する。また、絶縁基板 1 1 0 上に接合された S O I 基板 5 5 0 の分離表面に残存している B O X 層をエッチングし削除する。

【0237】

次に、S i O₂膜 5 3 7 上に、第 2 のゲート電極（図示せず）を形成する。そして、実施形態 1 と同様の方法で、多結晶 S i 薄膜トランジスタを形成し、絶縁基板 1 1 0 の上方全面にわたって層間絶縁膜 1 2 6 を形成する。

【0238】

そして、単結晶 S i 薄膜領域の層間絶縁膜 1 2 6 上に、第 2 の金属配線 5 4 6 を形成する。また、第 2 の金属配線の一部を、コンタクトホール 5 3 9 を介して第 1 の金属配線あるいは、第 1 のゲート電極の一部に接続する。

【0239】

以降は、一般的な方法により、液晶表示用に、絶縁基板 1 1 0 の上方全面にわたって、保護絶縁膜、平坦化膜、表示のための透明導電膜を形成する。

【0240】

半導体装置 5 0 1 は、以上のように、1 枚の絶縁基板上の異なる領域に、多結晶 S i 薄膜トランジスタ 1 2 0 と、半導体装置 5 3 0 とが共存する構成である。これは、実施形態 1 における半導体装置 1 0 1 の構成と同様である。したがって、半導体装置 5 0 1 は、実施形態 1 における半導体装置 1 0 1 と同様の効果を有する。

【0241】

また、半導体装置 5 0 1 は、半導体装置 5 3 0 と 2 層の金属配線層とを含む構成である。このため、必要とされる性能に応じて、単結晶 S i 薄膜デバイスを多様な形状に設計することができる。

【0242】

なお、半導体装置 5 0 1 では、第 1 の金属配線に T i - W 合金を用いている。これにより、バリアメタルを使用することなく単結晶 S i 薄膜の劈開剥離工程における熱処理が可能である。

すなわち、上記熱処理は600℃以下で行われるので、Al-SiやAl-Cu等の一般的な配線材料を用いても、融点を超えることはなく使用可能である。ただし、Al系の配線材料はSiと反応してコンタクト不良を起こすため、バリアメタルが必要である。

【0243】

また、Al系合金を用いる場合、微細な配線ではヒロックの影響を考慮する必要があるため、配線抵抗の要求に応じ、別の高融点金属を場合により用いることが望ましい。

【0244】

また、半導体装置501は、SOI基板550の代わりに、実施形態2に記載した複層Si基板を用いる方法によって形成することができる。なお、複層Si基板を用いる方法により絶縁基板上に単結晶Si薄膜トランジスタを形成する場合には、SOI基板550を用いる場合よりも、単結晶Si薄膜トランジスタの移動度を高くすることができる。

【0245】

なお、上記実施形態1～5で説明した各半導体装置は、図7に示すように、表示部720を有するアクティブマトリクス基板700に駆動回路710として集積化することができる。

【0246】

なお、本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術範囲に含まれる。

【0247】

また、本発明の実施の形態は本内容に限られるものではなく、例えば、非単結晶Si形成法、あるいは層間絶縁膜の材料、膜厚等についても他の同分野の技術者が知り得る手段によっても実現できる。また、材料についても、一般に同じ目的で用いられるものであれば異なる材料であっても同様の効果が得られる。

【0248】

さらに、単結晶 Si あるいは非単結晶 Si で形成する半導体デバイスも、MOS トランジスタ、バイポーラトランジスタ、SIT、ダイオードのみでなくとも良い。むしろ、それらのデバイスを同一ガラス基板の上に一体集積化できる事も本発明のメリットである。このメリットは、例えば、高機能を複合したシステム LSI、あるいは SOI により高性能化した高機能 LSI などに有効である。

【0249】

【発明の効果】

本発明に係る半導体装置は、以上のように、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板が、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記BOX層に対して前記単結晶 Si 薄膜側となる表面で接合された後に、前記単結晶 Si 薄膜積層基板の一部が前記水素イオン注入部で分離され、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記BOX層が除去されてなる構成である。

【0250】

また、本発明に係る半導体装置の製造方法は、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板を、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記BOX層に対して前記単結晶 Si 薄膜側となる表面で接合した後に、前記単結晶 Si 薄膜積層基板の一部を前記水素イオン注入部で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記BOX層を除去する工程とを含む構成である

上記の半導体装置およびその製造方法の構成によれば、前記絶縁基板と前記単結晶 Si 薄膜積層基板とを、密着させることにより、接着剤を使用することなく容易に貼り付けることができる。

【0251】

また、上記単結晶 Si 薄膜積層基板は、BOX層と、前記BOX層中に水素イオンの分布のピーク位置を有する水素イオン注入部と、前記BOX層上に形成された単結晶 Si 薄膜とが、絶縁基板に接合される前に形成されるため、単結晶 Si

i 薄膜の薄膜化が容易である。

【0252】

さらに、絶縁基板と単結晶 Si 薄膜積層基板とを貼り付けた後に、前記単結晶 Si 薄膜積層基板の BOX 層内に形成された水素イオン注入部で分離させることにより、分離表面のダングリングボンド、結晶欠陥などの損傷層は BOX 層内に限定される。このため、前記分離後に、前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板の一部から、分離表面に残った BOX 層を除去することにより、絶縁基板上に、膜厚均一性を損なうことなく、表面欠陥を除去した単結晶 Si 薄膜を形成することができる。これにより、例えば、MOS 型の SOI トランジスタの閾値電圧のばらつきを抑制することができる。

【0253】

それゆえ、上記の構成により、単結晶 Si 薄膜デバイスを、絶縁基板上に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜を形成することができるという効果を奏する。

【0254】

また、本発明に係る半導体装置は、以上のように、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層基板が、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記多孔質 Si 層に対して前記単結晶 Si 薄膜側となる表面で接合された後に、前記単結晶 Si 薄膜積層基板の一部が前記多孔質 Si 層で分離され、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記多孔質 Si 層が除去されることによって形成される構成である。

【0255】

また、本発明に係る半導体装置の製造方法は、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とを含む単結晶 Si 薄膜積層を、絶縁基板に、前記単結晶 Si 薄膜積層基板の前記多孔質 Si 層に対して前記単結晶 Si 薄膜側となる表面で接合した後に、前記単結晶 Si 薄膜積層基板の一部を前記多孔質 Si 層で分離する工程と、前記分離後に前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板から前記多孔質 Si 層を除去する工程とを含む構成である。

【0256】

上記の半導体装置およびその製造方法の構成によれば、前記絶縁基板と前記単結晶 Si 薄膜積層基板とを、密着させることにより、接着剤を使用することなく容易に貼り付けることができる。

【0257】

また、上記単結晶 Si 薄膜積層基板は、多孔質 Si 層と、前記多孔質 Si 層上に形成された単結晶 Si 薄膜とが、絶縁基板に接合される前に形成されるため、単結晶 Si 薄膜の薄膜化が容易である。

【0258】

さらに、絶縁基板と単結晶 Si 薄膜積層基板とを貼り付けた後に、前記単結晶 Si 薄膜積層基板の多孔質 Si 層で分離させることにより、分離表面のダングリングボンド、結晶欠陥などの損傷層は多孔質 Si 層内に限定される。このため、前記分離後に、前記絶縁基板上に残った前記単結晶 Si 薄膜積層基板の一部から、分離表面に残った多孔質 Si 層を除去することにより、絶縁基板上に、膜厚均一性を損なうことなく、表面欠陥を除去した単結晶 Si 薄膜を形成することができる。

【0259】

それゆえ、上記の構成により、単結晶 Si 薄膜デバイスを、絶縁基板上に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜を形成することができるという効果を奏する。

【0260】

また、上記の構成によれば、単結晶 Si 薄膜の結晶中の欠陥密度を非常に小さくできる。

【0261】

それゆえ、前記多孔質 Si 層を用いる方法により形成した単結晶 Si 薄膜トランジスタは、前記水素イオン注入部を有する前記単結晶 Si 薄膜積層基板を用いる方法により形成した単結晶 Si 薄膜トランジスタよりも、高い移動度を得ることができるという効果を奏する。

【0262】

また、本発明の半導体装置の製造方法は、前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程において、周囲環境を真空とすることが望ましい。

【0263】

それゆえ、接合欠陥を低減することができるという効果を奏する。

【0264】

また、本発明の半導体装置は、前記単結晶 Si 薄膜積層基板を、前記絶縁基板に接合する工程の後に、熱処理を行うことができる。

【0265】

それゆえ、単結晶 Si 薄膜積層基板と、前記絶縁基板との接合強度を向上させることができるという効果を奏する。

【0266】

また、本発明の半導体装置は、前記絶縁基板上の異なる領域に、単結晶 Si 薄膜と非単結晶 Si 薄膜とを形成することができる。

【0267】

上記の構成によれば、前記単結晶 Si 薄膜積層基板が前記絶縁基板に接合され、前記水素イオン注入部または前記多孔質 Si 層で分離されることにより、前記絶縁基板上の一部に単結晶 Si 薄膜を形成し、前記絶縁基板上の前記単結晶 Si 薄膜が形成された領域とは異なる領域に前記非単結晶 Si 薄膜を形成することができる。

【0268】

それゆえ、絶縁基板上に、必要とする特性に合わせて領域ごとに異なる特性のデバイスを形成することができるという効果を奏する。

【0269】

また、本発明の半導体装置は、前記絶縁基板上の概全面に、前記単結晶 Si 薄膜を形成することができる。

【0270】

上記構成によれば、前記単結晶 Si 薄膜積層基板を前記絶縁基板に接合し、前記水素イオン注入部または前記多孔質 Si 層で分離することにより、前記絶縁基板上の概全面に単結晶 Si 薄膜を形成することができる。

【0271】

それゆえ、絶縁基板上の概全面に、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜デバイスを形成することができるという効果を奏する。

【0272】

また、本発明の半導体装置は、前記単結晶 Si 薄膜積層基板を前記絶縁基板に接合し、前記水素イオン注入部または前記多孔質 Si 層で分離することにより、前記絶縁基板上に膜厚概 70 nm 以下、さらに好ましくは概 20 nm 以下の単結晶 Si 薄膜を形成することができる。

【0273】

それゆえ、上記構成によれば、トランジスタの微細化に伴って顕著になる、短チャネル効果を抑制することができるという効果を奏する。

【0274】

また、本発明の半導体装置は、前記非単結晶 Si 薄膜を、多結晶 Si、または連続結晶粒界 Si、または非結晶 Si で形成することができる。

【0275】

それゆえ、例えば、移動度を高くしたい非単結晶 Si 領域には前記連続結晶粒界 Si からなる電界効果トランジスタを用いるなど、必要とする特性に合わせて、領域ごとに異なる特性の非単結晶 Si 薄膜デバイスを形成することができるという効果を奏する。

【0276】

また、本発明の半導体装置は、前記非晶質 Si 薄膜を用い、ゲート絶縁膜が窒化珪素を含む単層または複層の絶縁膜によって形成されたトランジスタを形成することができる。

【0277】

それゆえ、ゲート絶縁膜に SiO₂を用いた場合に対して、約 2 倍の誘電率を得ることができる。したがって、低い電圧で大きな電界効果を得ることができ、トランジスタの動作電圧を低くすることができる。また、非晶質 Si-TFT では、ゲート絶縁膜に SiO₂を用いると特性が低下するが、ゲート絶縁膜に窒化珪素を用いることにより特性低下を抑制できるという効果を奏する。

【0278】

また、本発明の半導体装置は、前記単結晶 Si 薄膜を用いたトランジスタを、前記絶縁基板側からゲート電極、ゲート絶縁膜、前記単結晶 Si 薄膜の順序となるように形成することができる。

【0279】

それゆえ、上記構成によれば、ガラス基板表面の固定電荷によるバックゲート効果がゲート電極でシールドされ閾値バラツキが低減でき、また前記単結晶 Si 薄膜に金属配線を接続する工程が容易となり、生産性を向上させることができるという効果を奏する。

【0280】

さらに、前記トランジスタの少なくとも一部は、前記単結晶 Si 薄膜のさらに上に層間絶縁膜と金属配線層とを有する構成とすることができる。

【0281】

それゆえ、上記構成によれば、必要とする特性に合わせて、多様な単結晶 Si 薄膜デバイスを形成することが可能であるという効果を奏する。

【0282】

また、前記単結晶 Si 薄膜を用いたトランジスタが、前記絶縁基板側から、層間絶縁膜、金属配線層、層間絶縁膜、ゲート電極、ゲート絶縁膜、単結晶 Si 薄膜の順序で形成されており、前記トランジスタの少なくとも一部は、さらにその上に層間絶縁膜と金属配線層とを有する構成とすることができる。

【0283】

それゆえ、上記構成によれば、必要とする特性に合わせて、さらに多様な単結晶 Si 薄膜デバイスを形成することができるという効果を奏する。

【0284】

また、本発明の半導体装置は、前記絶縁基板と前記単結晶 Si 薄膜積層基板との線膨張の差が、略室温から略 600℃の温度範囲において、略 250 ppm 以下であることができる。

【0285】

上記構成によれば、線膨張の差に起因して前記絶縁基板と前記単結晶 Si 薄膜

積層基板とに生じるせん断力が小さくなる。

【0286】

それゆえ、例えば、劈開分離に伴う熱処理においても、基板の割れや反り等の発生を抑制でき、劈開分離の成功率を向上させることができるという効果を奏する。また、前記絶縁基板と前記単結晶 Si 薄膜積層基板との接合力向上や、前記絶縁基板または前記単結晶 Si 薄膜積層基板への酸化膜形成などのために熱処理を行う場合でも、線膨張の違いに起因する基板の割れや反り等を防止することができるという効果を奏する。

【0287】

また、本発明の半導体装置は、前記絶縁基板に歪み点 500℃ 以上の高歪み点ガラスを用いることができる。

【0288】

それゆえ、上記構成によれば、製造工程における熱処理が可能であり、生産性を向上させることができ、また、熱処理により前記絶縁基板と前記単結晶 Si 薄膜積層基板との接合力を高めることも可能であるという効果を奏する。

【0289】

また、本発明の半導体装置は、前記絶縁基板にアルカリ土類－アルミノ硼珪酸ガラスを用いることが好適である。

【0290】

また、本発明の半導体装置は、前記絶縁基板にバリウム－硼珪酸ガラス、バリウム－アルミノ硼珪酸ガラス、アルカリ土類－アルミノ硼珪酸ガラス、硼珪酸ガラス、アルカリ土類－亜鉛－鉛－アルミノ硼珪酸ガラスおよびアルカリ土類－鉛－アルミノ硼珪酸ガラスのうち、いずれかのガラスを用いることができる。

【0291】

それゆえ、絶縁基板の材料として、コスト、加工性等を考慮して幅広い選択をすることができるという効果を奏する。

【図面の簡単な説明】

【図1】

(a) ～ (h) は、本発明に係る半導体装置の一実施形態を示す半導体装置の

製造工程を示す断面図である。

【図 2】

(a) ~ (h) は、本発明に係る半導体装置の他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 3】

(a) ~ (h) は、本発明に係る半導体装置のさらに他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 4】

(a) ~ (g) は、本発明に係る半導体装置のさらに他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 5】

(a) ~ (c) は、本発明に係る半導体装置のさらに他の実施形態を示す半導体装置の製造工程を示す断面図である。

【図 6】

本発明に係る半導体装置における、100℃から700℃の温度に対する単結晶 Si と 2 種類のガラス基板との線膨張の違いを示すグラフである。

【図 7】

本発明に係る半導体装置を用いて作成したアクティブマトリクス基板を示す平面図である。

【図 8】

図 1 (h) の拡大図である。

【図 9】

図 2 (h) の拡大図である。

【図 10】

図 3 (g) の拡大図である。

【図 11】

図 4 (g) の拡大図である。

【図 12】

図 5 (c) の拡大図である。

【符号の説明】

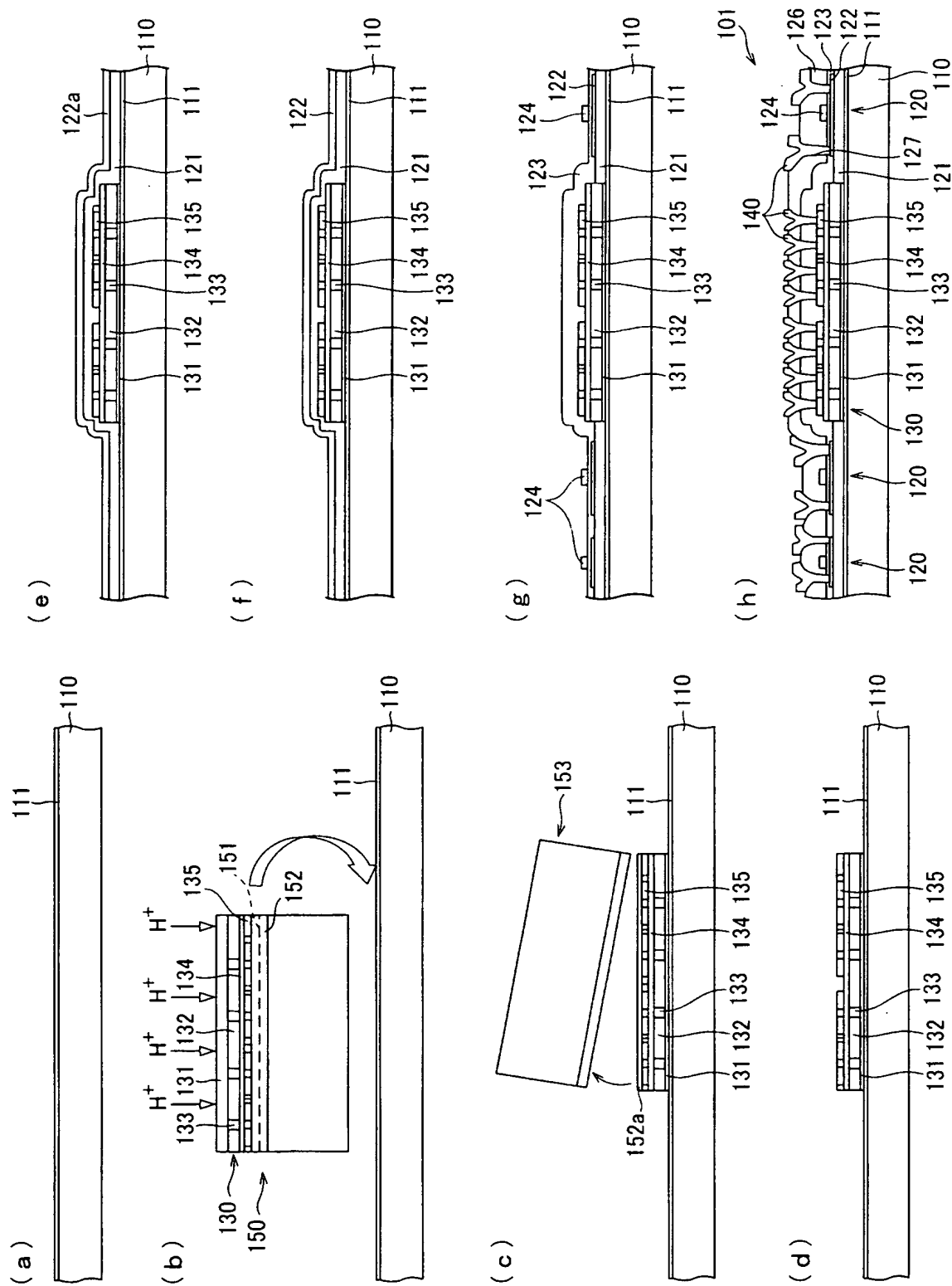
101、201、301、401、501	半導体装置
110、310	絶縁基板
113	ゲート絶縁膜
120	多結晶Si薄膜トランジスタ
(非単結晶Si薄膜トランジスタ、トランジスタ)	
121、421	層間絶縁膜
122、222	多結晶Si薄膜 (非単結晶Si
i 薄膜)	
123、223、323	ゲート絶縁膜
124、224、324、424	ゲート電極
325、425	絶縁膜 (酸化膜)
126	層間絶縁膜
127、227	コンタクトホール
130、230、	単結晶Si薄膜トランジスタ (トラン
ジスタ)	
430	バイポーラ型トランジスタ (
単結晶Si薄膜デバイス)	
530	半導体装置
132、532	平坦化膜
133、533	ゲート電極
134、434、534	ゲート絶縁膜
135、435、535	単結晶Si薄膜
140、440	金属配線
150、450、550	SOI基板 (単結晶Si薄膜積層基板
)	
151、451、551	水素イオン注入部
152、452、552	BOX層
250	複層Si基板 (単結晶Si薄

膜積層基板

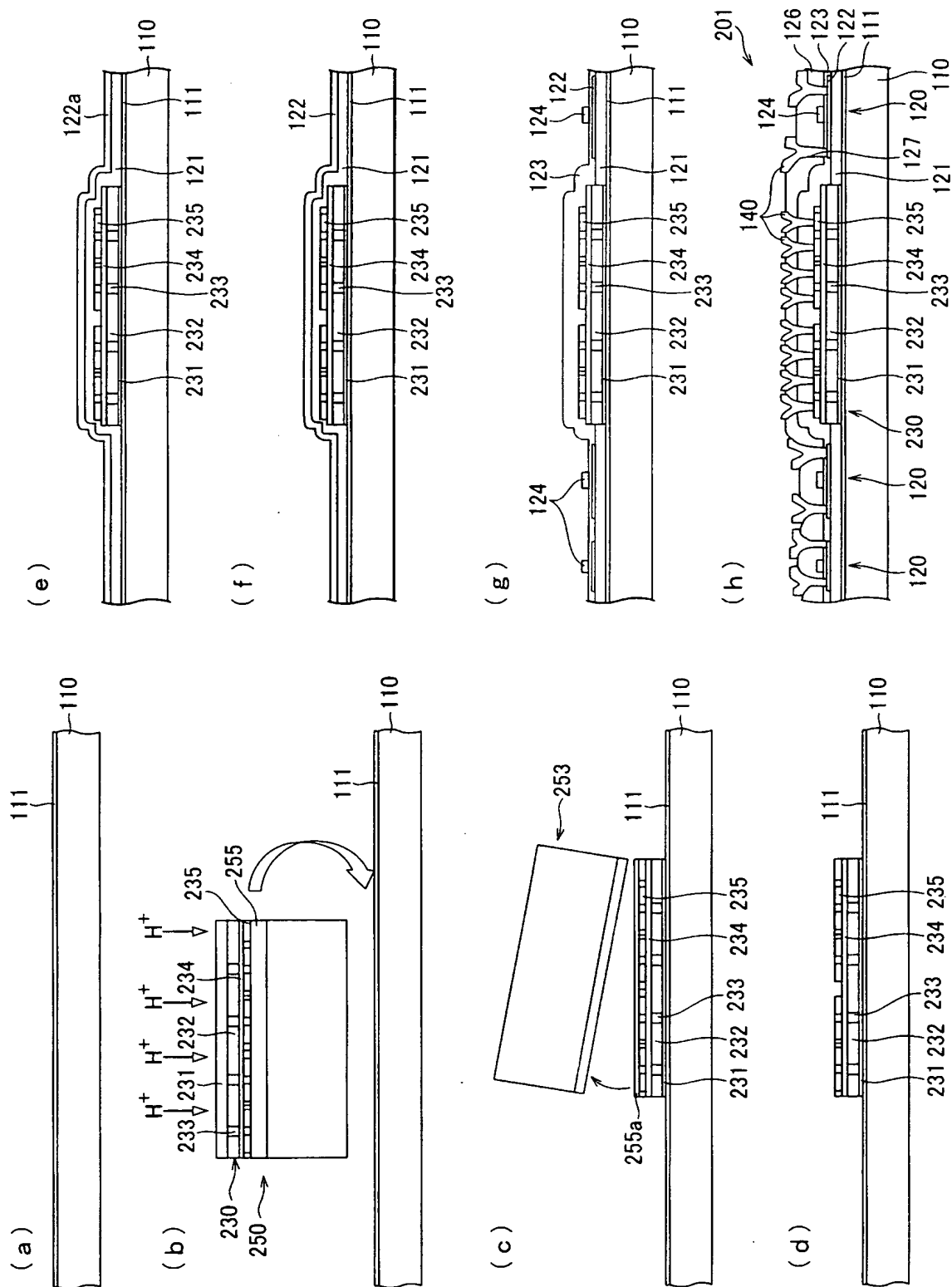
3 2 0	連続結晶粒界 S i 薄膜トランジスタ (非単結晶 S i 薄膜トランジスタ、トランジスタ)
3 2 2	連続結晶粒界 S i 薄膜 (非単結晶 S i 薄膜)
4 2 0	非晶質 S i 薄膜トランジスタ (非単結晶 S i 薄膜トランジスタ、トランジスタ)
4 2 2	非晶質 S i 薄膜 (非単結晶 S i 薄膜)
4 2 8	N ⁺ 非晶質 S i 薄膜
4 4 1	金属電極
5 3 6	第 1 の金属配線層
5 4 5	第 1 の金属配線
5 4 6	第 2 の金属配線
7 0 0	アクティブマトリクス基板
7 1 0	駆動回路
7 2 0	表示部

【書類名】 図面

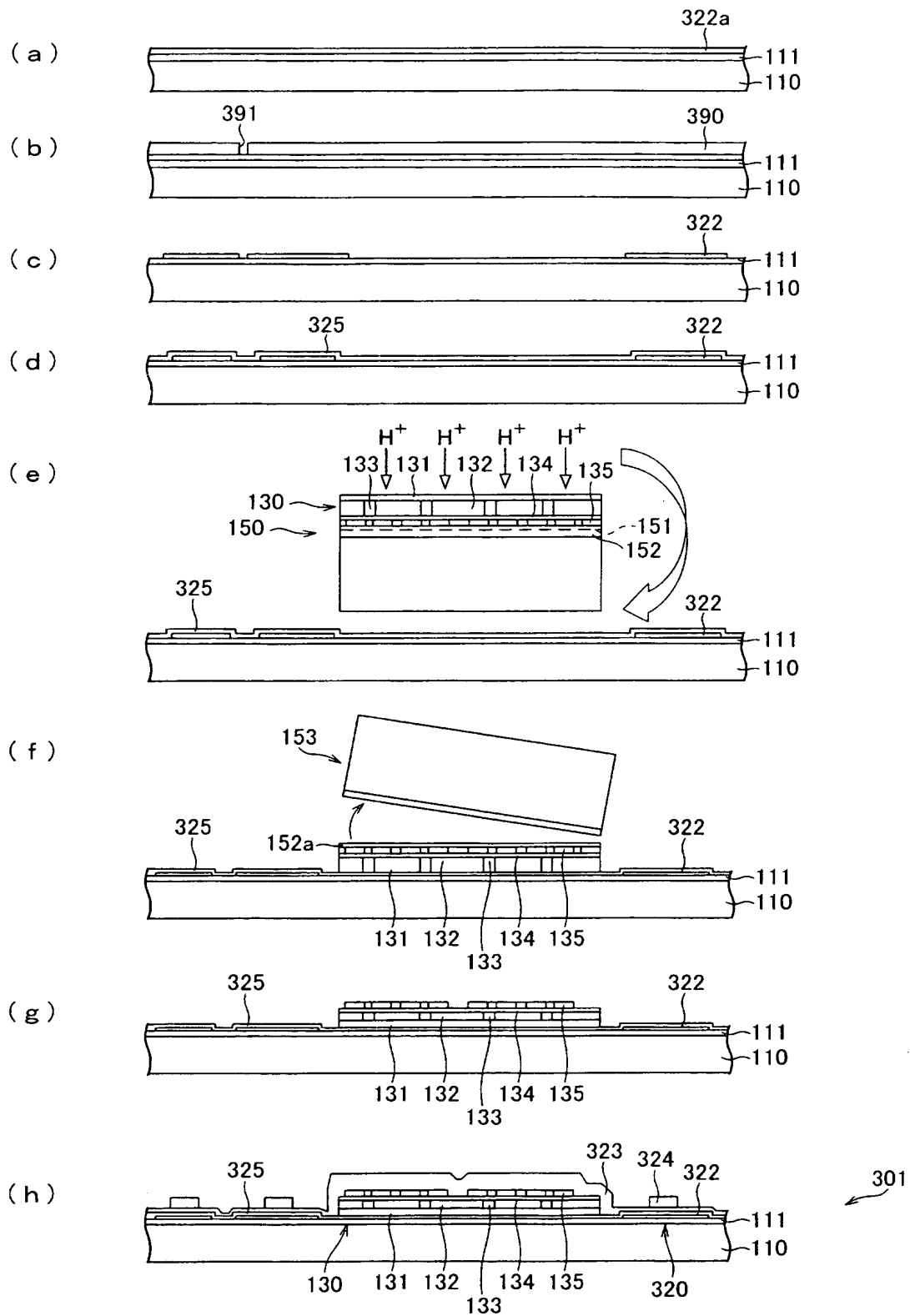
【図 1】



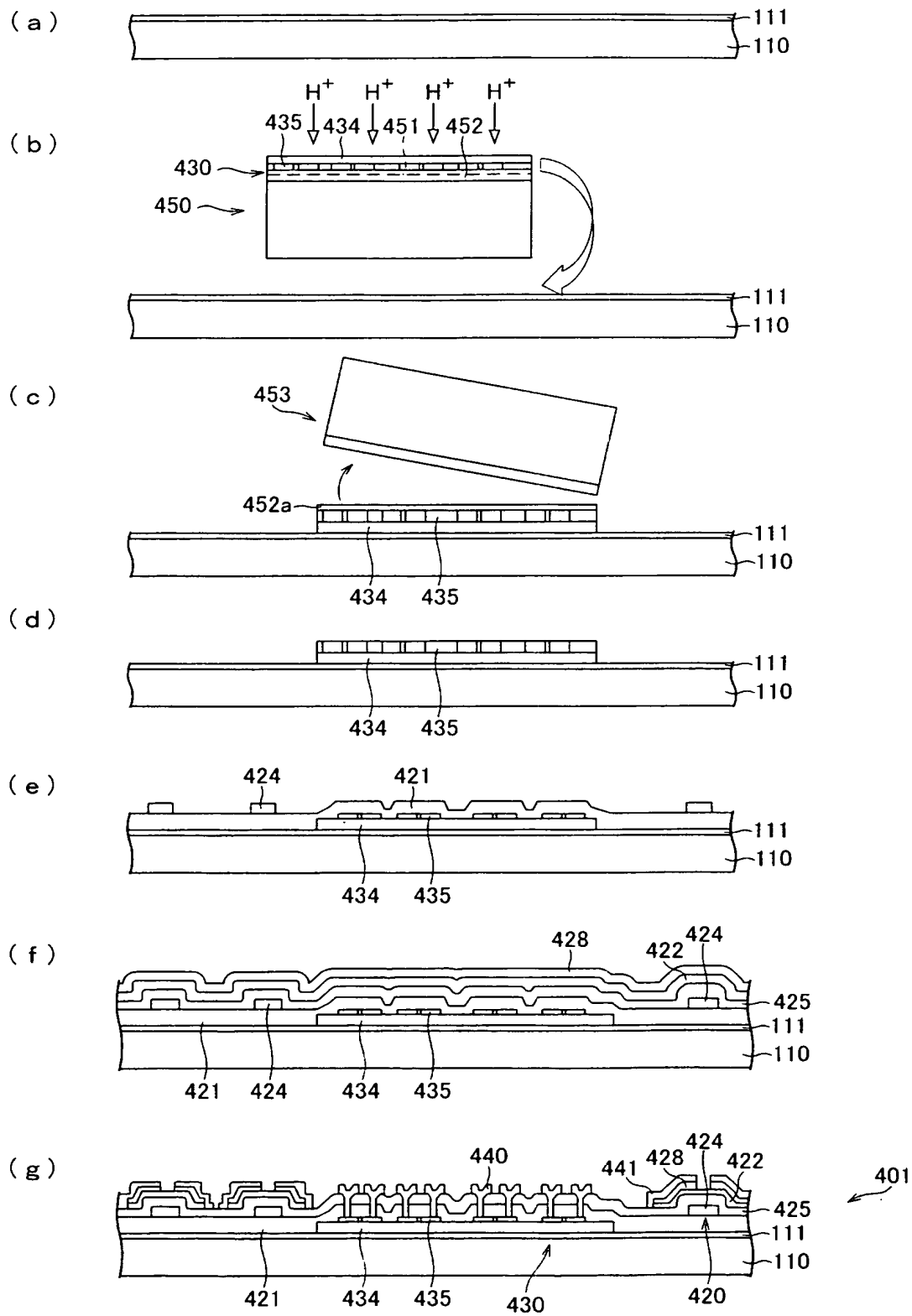
【図 2】



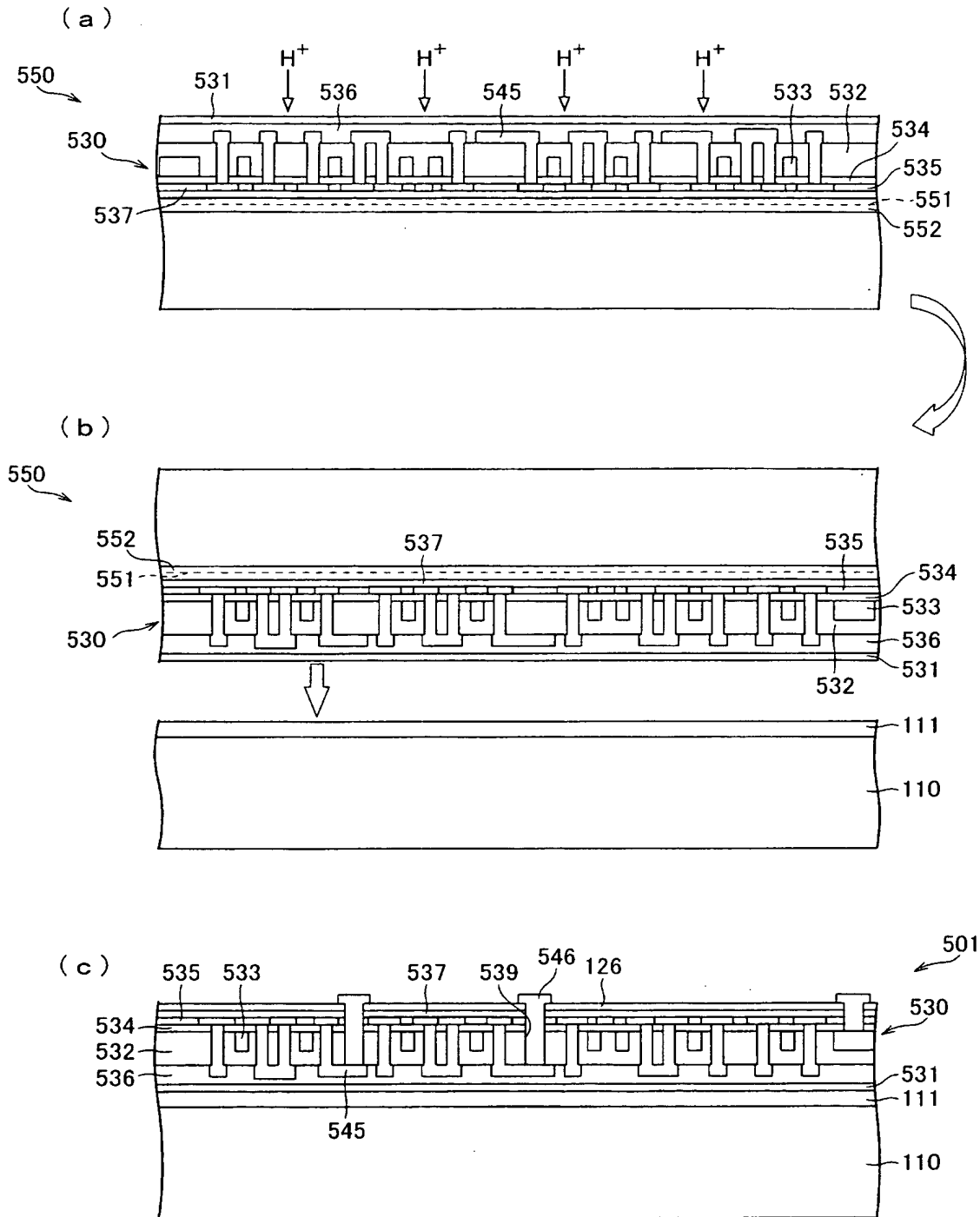
【図 3】



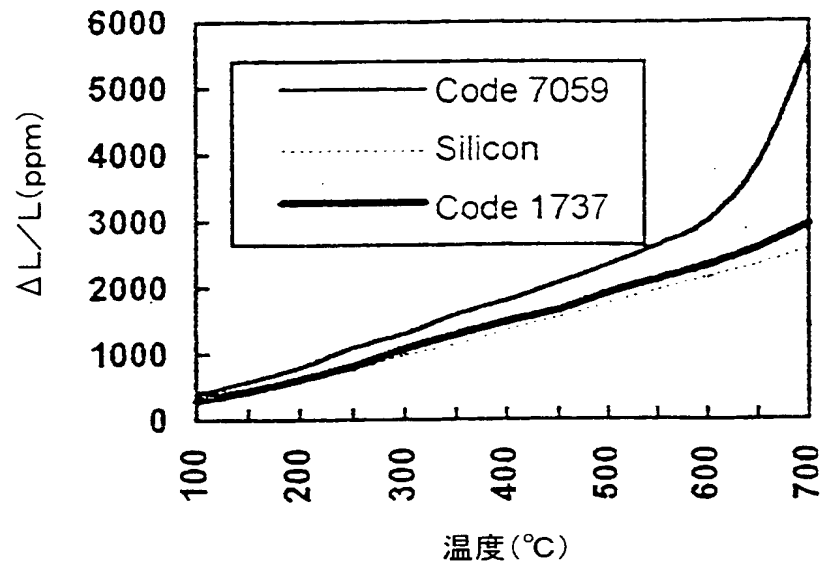
【図 4】



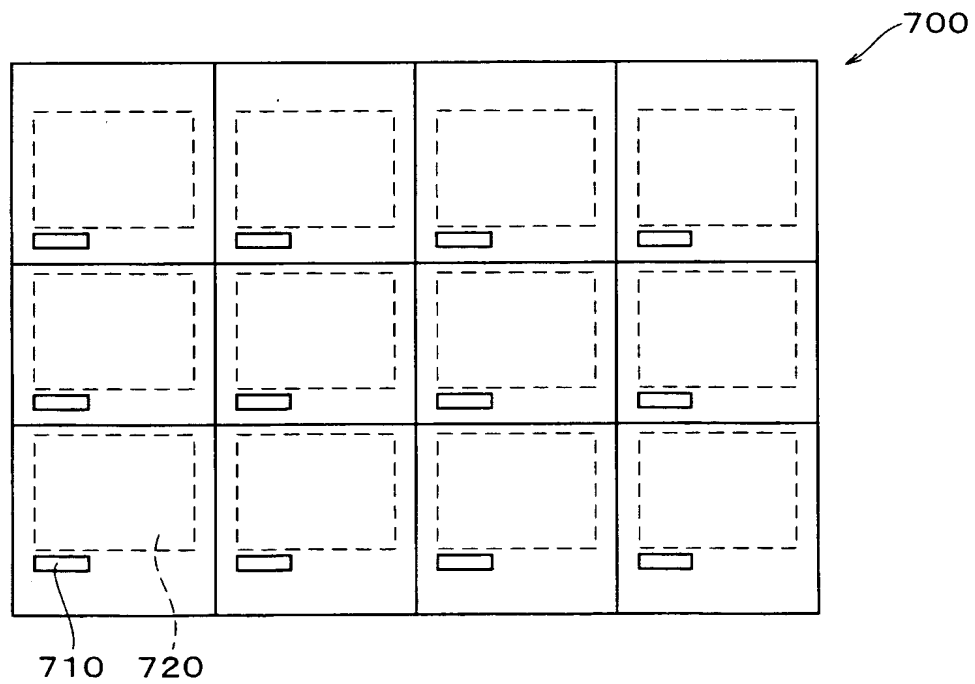
【図 5】



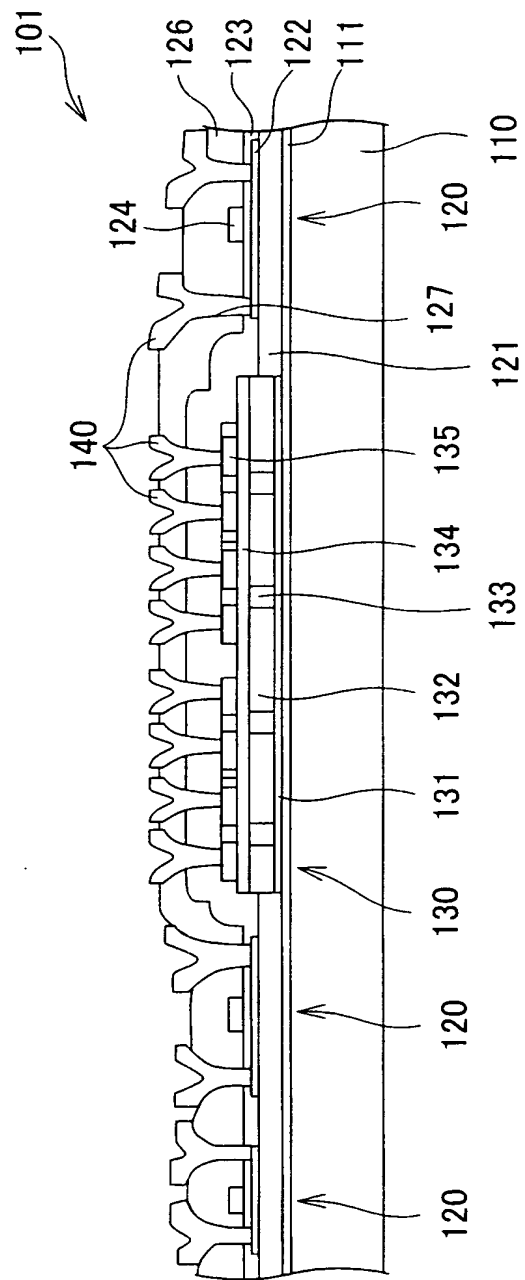
【図 6】



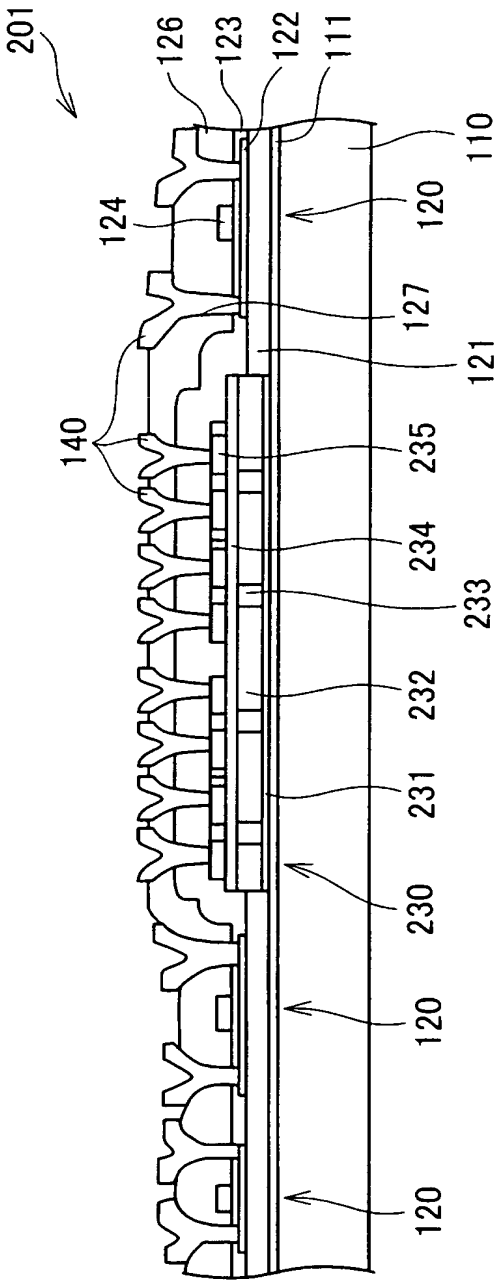
【図 7】



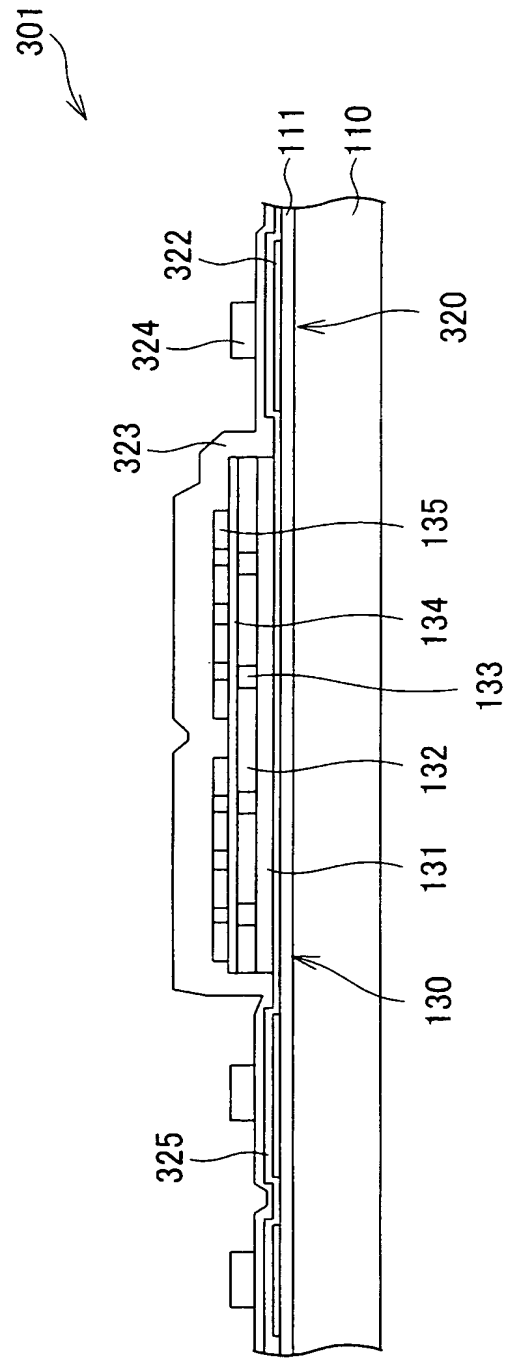
【図 8】



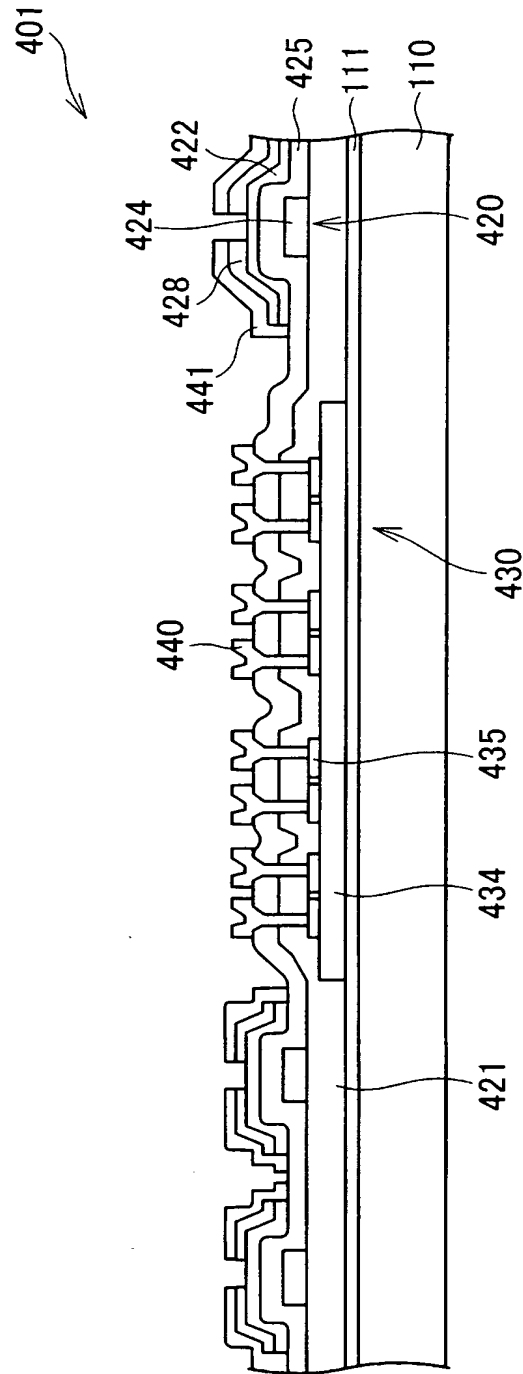
【図 9】



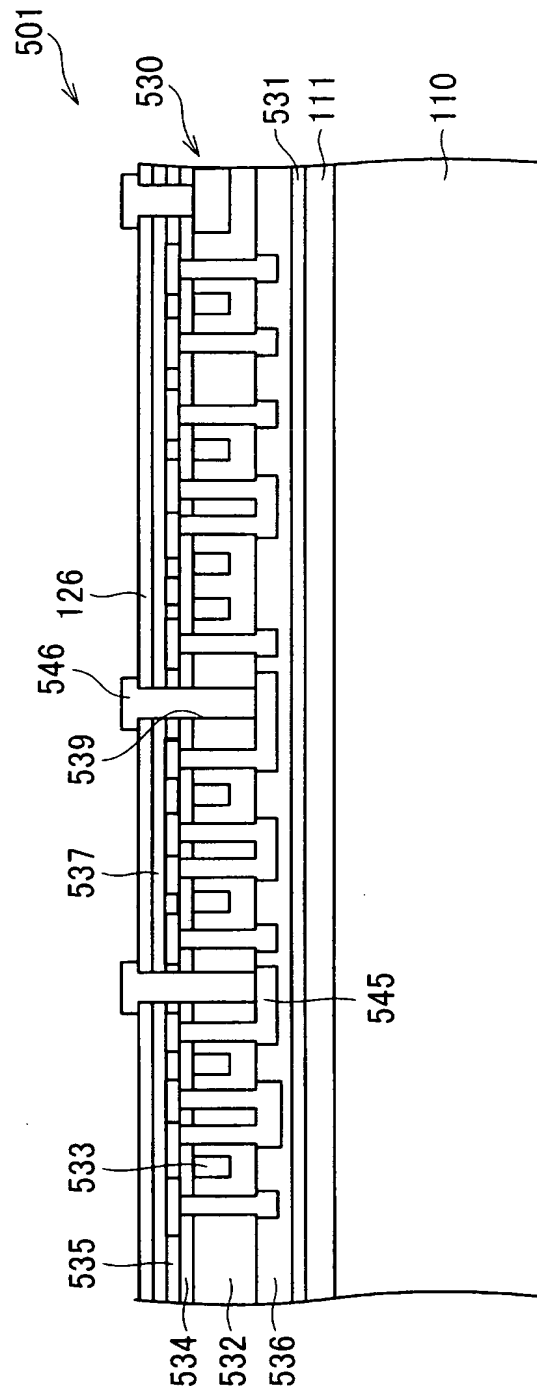
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 単結晶 Si 薄膜デバイスを絶縁基板に接着剤を使用することなく容易に形成可能であって、表面欠陥を除去した、膜厚が薄くかつ均一な単結晶 Si 薄膜を含む半導体装置およびその製造方法を提供する。

【解決手段】 SOI 基板 150 に、水素イオンの分布のピーク位置が BOX 層 152 (埋め込み酸化膜層) 内となるように調節した水素イオン注入部 151 と、単結晶 Si 薄膜トランジスタ 130 とを形成し、絶縁基板 110 に接合させる。そして、熱処理により水素イオン注入部 151 で劈開分離させ、SOI 基板 150 の不要部分を除去する。また、単結晶 Si 薄膜トランジスタ 130 上に残った BOX 層 152 a をエッチング除去する。

【選択図】 図 1

特願 2 0 0 3 - 0 7 7 2 8 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号
氏 名 シャープ株式会社